

PHOTOELECTRIC CONVERTER, CLOSE CONTACT IMAGE SENSOR AND IMAGE READER

Publication number: JP11234473

Publication date: 1999-08-27

Inventor: KOZUKA HIRAKI

Applicant: CANON KK

Classification:

- international: **H04N1/028; H04N1/19; H04N1/028; H04N1/19; (IPC1-7): H04N1/028; H04N1/19**

- european:

Application number: JP19980037594 19980219

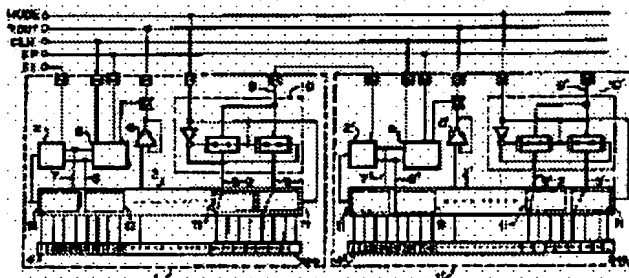
Priority number(s): JP19980037594 19980219

Report a data error here

Abstract of JP11234473

PROBLEM TO BE SOLVED: To obtain a photoelectric converter that can realize a read speed corresponding to a selected resolution and is suitable for a high speed close contact image sensor by selecting the number of light receiving elements of the photoelectric converter to a multiple of $2N$, where a low resolution is set at $1/N$ of a high resolution.

SOLUTION: In a high resolution mode, photoelectric converters 1, 1' have 344-bit signals respectively, and shift register signal 9-1, 9'-1 of the 341st bit are used for next chip start signals. In a low resolution mode, a 2-pixel sum signal is 1-bit, so that the photoelectric converters 1, 1' have equivalent 177-bit signals. Thus, 377-th bit shift register signals 9-2, 9'-2 are used for next chip start signals. In this case, the number of light receiving elements of the photoelectric converters 1, 1' is a multiple of $2N$, where a low resolution is set at $1/N$ of a high resolution. Thus, continuity of pixel signals is maintained even when a different resolution is selected.



Data supplied from the esp@cenet database - Worldwide

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The photo detector array by which two or more photo detectors have been arranged in the 1st resolution, the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, and the scan means driven by the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array, The photoelectrical inverter characterized by being the multiple said two or more light-receiving element numbers of whose are $2N$ s in the photoelectrical inverter which has the resolution switch means which switches said 1st resolution and the 2nd resolution which is $1/N$ (N is the natural number) of this 1st resolution.

[Claim 2] The photo detector array by which two or more photo detectors have been arranged in the 1st resolution, the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, and the scan means driven by the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array, In the contact type image sensor which two or more mounting is carried out and is constituted in the photoelectrical inverter which has the resolution switch means which switches said 1st resolution and the 2nd resolution which is $1/N$ (N is the natural number) of this 1st resolution The contact type image sensor characterized by being the multiple whose light-receiving element number of said photoelectrical inverter is $2N$ s.

[Claim 3] The photo detector array by which two or more photo detectors have been arranged in the 1st resolution, the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, and the scan means driven by the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array, In the photoelectrical inverter which has the resolution switch means which switches said 1st resolution and the 2nd resolution which is $1/N$ (N is the natural number) of this 1st resolution It is the photoelectrical inverter which reading appearance of the 1st photo detector of said photo detector array is carried out by said 1st shift register driving pulse, and is characterized by reading appearance of the last photo detector being carried out by this 2nd shift register driving pulse.

[Claim 4] The photo detector array by which two or more photo detectors have been arranged in the 1st resolution, the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, and the scan means driven by the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array, In the contact type image sensor which two or more mounting is carried out and is constituted in the photoelectrical inverter which has the resolution switch means which switches said 1st resolution and the 2nd resolution which is $1/N$ (N is the natural number) of this 1st resolution It is the contact type image sensor which reading appearance of the 1st photo detector of said photo detector array is carried out by said 1st shift register driving pulse, and is characterized by reading appearance of the last photo detector being carried out by said 2nd shift register driving pulse.

[Claim 5] In the image sensors which connected two or more photoelectrical inverters containing two or more photo detectors A resolution selection means to choose resolution, and the control means, to which an approach to read the signal from said photo detector with the resolution chosen by said resolution selection means into each photoelectrical inverter is changed, The signal read-out means which reads a signal by two or more pulses from said photo detector, They are the image sensors characterized by setting up the number of arrays of a photo detector so that reading

appearance of the signal by which ****, said signal read-out means makes drive two or more pulses periodically, and reading appearance is carried out to the beginning from said signal read-out means within each photoelectrical inverter may be carried out by the same pulse among said two or more pulses.

[Claim 6] In the image sensors which connected two or more photoelectrical inverters containing two or more photo detectors Resolution $1/N$ (integer forward in N) every A resolution selection means to choose either of two or more changing resolution, The control means to which an approach to read the signal from said light-receiving **** with the resolution chosen by said resolution selection means into each photoelectrical inverter is changed, Image sensors which have the signal read-out means which reads a signal from said photo detector by the shift register driving pulse of M (M is forward integer) individual, and are characterized by said two or more photo detectors being the multiples of MN .

[Claim 7] The photo detector array by which two or more photo detectors have been arranged in the 1st resolution, and the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, The scan means driven by the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array, The resolution switch means which switches said 1st resolution and the 2nd resolution which is $1/N$ (N is the natural number) of this 1st resolution, The image reader which is the multiple whose light-receiving element number of said photoelectrical inverter is $2Ns$, and is characterized by having the switch which switches said the 1st resolution and said 2nd resolution in the image reader using the contact type image sensor which two or more mounting is carried out and is constituted in the photoelectrical inverter which ****.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the contact type image sensor which has a resolution switch function and the photoelectrical inverter used for the actuation approach of a contact type image sensor, the image reader which reads two-dimensional images, such as an image scanner, and facsimile, an electronic copying machine, to a list in more detail about the contact type image sensor which mounted two or more photoelectrical inverters equipped with the 1-dimensional optoelectric transducer and the actuation circuit which drives this, and its actuation approach.

[0002]

[Description of the Prior Art] In recent years, in the field of information processing system, development of the contact type image sensor of a twice system, such as having multi-mounted two or more semi-conductor photosensor chips, is positively performed to the line sensor of a contraction scale system using the conventional optical system as a 1-dimensional image reader.

[0003] (Conventional technique 1) For example, in JP,5-227362,A, the control terminal for resolution control is prepared newly, and adhesion mold image sensors with a user able to switch resolution in accordance with utilization conditions are proposed.

[0004] Drawing 7 is the circuit diagram of the integrated circuit for contact type image sensors proposed by the open official report concerned. In this conventional technique, the control terminal (125) was prepared in the image-sensors chip, and when a user inputs the signal of high level or a low level into that terminal, the resolution switch in high resolution mode and low resolution mode is realized. If an approximate account is carried out about drawing 7, a start pulse SI and a clock pulse CLK will be supplied to the shift register group 104. If shift register 104a is started by the start pulse SI, the output will be inputted into channel select switch 103a through NOR gate 121a and AND gate 120a, will turn this ON, and will take out the signal from photo-cell 101a to signal-line 107a. other shift registers 104b-104f carry out sequential starting, and output the signal from each photo cells 101b-101f. since a signal or to 107a and 107b.

[0005] Here, if control signal "H" is inputted into the control signal input terminal 125, analog switches 110a, 110b, 122a, and 122b will be changed, and a picture signal will be acquired by the image output terminal 111 by 16 dot [/mm] the consistency of reading. Moreover, if control signal "L" is inputted into the control signal input terminal 125, analog switch 110a will always be in an ON state, and a picture signal will be acquired by the image output terminal 111 by 8 dot [/mm] the consistency of reading of the one half of photo-cell 101a - 101f. of the whole. That is, in case the photo cells 101a-101f. on Sensor IC take out an output picture signal outside, they can make a part thin out and output with a control signal, although total is always operating. Therefore, the voltage level of a picture signal becomes always fixed, the configuration of a latter image-processing circuit is the conventional thing, and the response of it is attained.

[0006] (Conventional technique 2) On the other hand as opposed to the demand of improvement in the speed, the image-sensors chip which has a means to delay a start signal, and the contact type image sensor are proposed by JP,2-210950,A, and before reading a sensor signal, high-speed read-out is realized by starting a current regulator circuit. Namely, it sets to the photoelectrical inverter using the image-sensors chip and this which are used for the photoelectrical inverter of the multichip mold constituted by arranging two or more image-sensors chips which have a light-receiving

element. A delay means to delay the start signal of the lightwave signal read-out actuation by the light-receiving element, Before said lightwave signal read-out actuation is completed, it has the signal used for the start signal over the image-sensors chip of a compromise. It is characterized by rising the current regulator circuit in the amplifying circuit which amplifies said lightwave signal read-out signal by the start signal which shows delay initiation of said delay means.

[0007] Moreover, the configuration of one chip used for above-mentioned JP,2-210950,A is shown in JP,2-210949,A, the image-sensors chip which drives a shift register using the internal clock phi 1 which synchronizes with the high level of a clock signal, and the internal clock phi 2 which synchronizes with the low level of a clock signal, and the contact type image sensor are proposed, and this has realized high-speed read-out of duty 100%.

[0008] The representative circuit schematic of the image-sensors chip assumed by drawing 8 from the content indicated as a conventional example at above-mentioned JP,2-210949,A and JP,2-210950,A is shown.

[0009] In drawing 8, the photoelectrical inverter (1, 1', 1'') is multi-mounted, and common connection of the clock (CLK) which drives each photoelectrical inverter, and the start pulse (SP) is made. Moreover, each photoelectrical inverter (1, 1', 1'') has the delay means (the Nbit pre shift register 2, 2', 2'') of Nbit, the shift register (3, 3', 3'') of Kbit, the photo detector array (4, 4', 4'') of Kbit, a timing generating circuit (5, 5', 5''), and signal output amplifier (6, 6', 6'').

[0010] Moreover, a chip [degree] start signal (9, 9', 9'') outputs the signal at the time before [a bit of] N (K-N bit) as a start signal of degree chip from the time of the bit of each photoelectrical inverter ending read-out from this side N bit parts of a shift register 3, 3', and the 3'' last register.

[0011] moreover -- a clock signal -- CLK -- a start pulse -- a signal -- SP -- driving -- having -- timing -- generating -- a circuit (5, 5', 5'') -- a photo detector -- four -- four -- ' -- four -- '' -- driving -- a pulse -- and -- a shift register -- three -- three -- ' -- three -- '' -- driving -- a driving pulse -- phi -- one (7, 7', 7'') -- phi -- two (8, 8', 8'') -- generating -- having . The start pulse signal SP is connected for taking the synchronization of initiation of each image-sensors chip of operation common to each image-sensors chip.

[0012] Moreover, the photo detector array 4, 4', and the picture signal by which reading appearance is carried out to one signal output line through the switch switch on / switch off with the shift signal of a shift register from 4'' are amplified, and signal output Vout of the signal output amplifier 6, 6', and the 6'' is carried out by the timing generating circuit 5, 5', and the 5'' control signal. in addition, the signal output amplifier 6 and 6' -- inside, it has 6'' of current regulator circuits, the input, simultaneously current supply of a start signal start, and magnification actuation of a stationary is enabled from the start signal at the time of the clock signal input of N bit.

[0013] Drawing 9 is the timing chart of the driving pulses phi1 (7, 7', 7'') and phi2 (8, 8', 8'') of a shift register 3 to CLK.

[0014] In addition, drawing 9 is the timing at the time of making the delay means 2 in drawing 8 into 4 bits. Therefore, a shift register 3, 3', and 4 bits 3'' are delayed for the start pulse signal SP, and start actuation of the first shift register.

[0015] Here, as shown in drawing 9, the driving pulse phi 1 (7, 7', 7'') of a shift register 3 turns into a pulse which synchronized with the high level of CLK, and phi 2 (8, 8', 8'') becomes the pulse which synchronized with the low level of CLK. The signal output Vout is taken out synchronizing with phi1 and phi2. Therefore, when the 1st bit of a shift register 3 corresponds to phi 1, odd bits becomes phi1 synchronization and even bits becomes a signal output synchronous [phi2].

[0016] This drawing A is the signal output of a photoelectrical inverter (1''), and the signal output of a photoelectrical inverter (1) and this drawing C come to show [the signal output of a photoelectrical inverter (1'), and this drawing E] the whole signal output Vout in drawing. Moreover, each photoelectrical inverter is outputting the signal 4 bits before the last bit as a start signal (B, D) of the following photoelectrical inverter.

[0017] In this way, it becomes possible to read the big manuscript as a contact type image sensor of a multichip mold directly, and the read-out rest time amount during a chip and the difference in a signal output level can be abolished.

[0018]

[Problem(s) to be Solved by the Invention] However, in the resolution switch method of the contact

type image sensor currently indicated by the above-mentioned conventional technique 1, when a clock rate is the same since resolution is switched by skipping a pixel for example, it reads, even if it makes resolution into one half, and in the case of one half, time amount does not change, when resolution is usual. Supposing a photo detector is arranged in the optical resolution of 600dpi and the resolution of 300dpi is obtained in 600dpi and low resolution mode in high resolution mode, when the reading rate of 6 msec/line is obtained at the time of 600dpi, it will read, even if it becomes the reading rate of 6 msec/line and drops resolution also on the time of 300dpi, and a rate will not change, for example.

[0019] Therefore, using the same clock rate, like the reading rate of 3 msec/line, it reads and there is a problem according to resolution that a rate is unrealizable, at the time of the reading rate of 5 msec/line, and 300dpi at the time of 600dpi.

[0020] Moreover, since the signal output line (odd bits and even bits) has dissociated, there is also a problem of being easy to produce a level difference (even bits and odd bits).

[0021] Furthermore, when the resolution switch currently indicated with the conventional technique 1 is applied to the contact type image sensor currently indicated with the conventional technique 2, the problem that discontinuity arises arises in the part of the joint of a photoelectrical inverter at the time of a resolution switch.

[0022] For example, in the conventional technique 2, if the number of bits of a pre shift register is made into 10 bits Since the 1st bit of the following photoelectrical inverter is outputted 10 bits after outputting a chip [degree] start signal at the time of high resolution mode, Since a signal output is completed 5 bits after a chip [degree] start signal is outputted at the time of low resolution mode although the signal in the part of the joint of a photoelectrical inverter does not become discontinuous, The discontinuous part for 5 bits will arise at the joint of a photoelectrical inverter until the 1st bit of the following photoelectrical inverter is outputted.

[0023] The object of [object of invention] this invention is in the thing which responded to resolution at the time of a resolution switch and for which it reads and high-speed adhesion mold image sensors and the suitable photoelectrical inverter for a contact type image sensor are offered realizable [a rate].

[0024]

[Means for Solving the Problem] The photo detector array by which, as for this invention, two or more photo detectors have been arranged in the 1st resolution in order to solve the above-mentioned problem, The scan means driven by the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, and the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array, In the photoelectrical inverter which has the resolution switch means which switches said 1st resolution and the 2nd resolution which is $1/N$ (N is the natural number) of this 1st resolution, it is characterized by being the multiple said two or more light-receiving element numbers of whose are $2N$ s.

[0025] Moreover, the photo detector array by which, as for this invention, two or more photo detectors have been arranged in the 1st resolution, The scan means driven by the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, and the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array, In the contact type image sensor which two or more mounting is carried out and is constituted in the photoelectrical inverter which has the resolution switch means which switches said 1st resolution and the 2nd resolution which is $1/N$ (N is the natural number) of this 1st resolution The light-receiving element number of said photoelectrical inverter is characterized by being the multiple which is $2N$ s.

[0026] Furthermore, the photo detector array by which, as for this invention, two or more photo detectors have been arranged in the 1st resolution, The scan means driven by the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, and the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array, In the photoelectrical inverter which has the resolution switch means which switches said 1st resolution and the 2nd resolution which is $1/N$ (N is the natural number) of this 1st resolution It is characterized by for reading appearance of the 1st photo detector of said photo detector array being carried out by said 1st shift register driving pulse, and reading appearance of the last photo detector

being carried out by this 2nd shift register driving pulse.

[0027] Furthermore, this invention is set to the image sensors which connected two or more photoelectrical inverters containing two or more photo detectors. A resolution selection means to choose resolution, and the control means, to which an approach to read the signal from said photo detector with the resolution chosen by said resolution selection means into each photoelectrical inverter is changed, The signal read-out means which reads a signal by two or more pulses from said photo detector, ****, said signal read-out means makes two or more pulses drive periodically, and it is characterized by setting up the number of arrays of a photo detector so that reading appearance of the signal by which reading appearance is carried out to the beginning from said signal read-out means within each photoelectrical inverter may be carried out by the same pulse among said two or more pulses.

[0028] The photo detector array by which, as for this invention, two or more photo detectors have been arranged in the 1st resolution further again, The scan means driven by the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, and the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array, The resolution switch means which switches said 1st resolution and the 2nd resolution which is $1/N$ (N is the natural number) of this 1st resolution, In image readers, such as an image scanner using the contact type image sensor which two or more mounting is carried out and is constituted in the photoelectrical inverter which ****, and facsimile, an electronic copying machine The light-receiving element number of said photoelectrical inverter is a multiple which is $2N$ s, and it is characterized by having the switch which switches said the 1st resolution and said 2nd resolution.

[0029] In [operation] this invention, in the contact type image sensor by which multichip mounting was carried out, since a means to choose the start signal which starts the shift register of the following chip with a resolution switch signal is established, in the time of a resolution switch, a non-ream bit does not arise in the joint of a photoelectrical inverter.

[0030] This invention makes 1 block 4 pixels (a, b, c, d). In high resolution mode, with a synchronous clock $\phi 1$ moreover, the bit of a and c The bit of b and d is driven with the synchronous clock $\phi 2$ reversed to the synchronous clock $\phi 1$. In low resolution mode Since the means which reads the bit of c+d for the bit of a+b by pixel addition with a synchronous clock $\phi 2$ is established with the synchronous clock $\phi 1$, even if it uses the same clock rate, the reading speed according to resolution becomes realizable.

[0031]

[Embodiment of the Invention] Hereafter, the operation gestalt by this invention is explained to a detail using a drawing.

[0032] (Operation gestalt 1) The timing chart and drawing 3 the circuit block diagram of a contact type image sensor using a photoelectrical inverter [in / in drawing 1 / the operation gestalt 1 of this invention], the shift register [in / in drawing 2 / drawing 1] for 8 bits and the circuit block diagram of a photo detector, and drawing 4 indicate actuation of drawing 2 to be are the representative circuit schematic of the photo detector for 4 pixels.

[0033] In drawing 1, the photoelectrical inverter 1 and 1' are multi-mounted, and the contact type image sensor is formed. In addition, although only a part for two chips is illustrated in this drawing, for example, 15 chips are arranged and multi-mounted in one train, and the contact type image sensor consists of these operation gestalten.

[0034] In drawing 1, common connection of the clock (CLK) and start pulse (SP) which drive a photoelectrical inverter, a resolution switch signal (MODE), and the signal output Vout is made at each photoelectrical inverter 1 and 1', and read-out start signal SI of a line sensor is inputted into the original image-sensors chip 1.

[0035] Moreover, in this operation gestalt, when a MODE signal is high-level and high resolution mode (600dpi) and a MODE signal are low level, it is considering as the configuration from which the resolution in low resolution mode (300dpi) is obtained.

[0036] Furthermore, each photoelectrical inverter 1 of this operation gestalt and 1' are multi-mounted, and have the photo detector array (the pre shift register 2 and 2' which have Nbit, for example, 4 bits, of delay, a shift register 3, 3', and K bits, for example, 344 bits) 4, 4', the timing generating circuit 5, 5', the signal output amplifier 6, and 6'. Here, a shift register 3 and 3' consist of

shift register blocks 11 for 4 bits.

[0037] Moreover, by the shift register 3 and the shift signal of 3', through the switch switch on / switch off, reading appearance of the photo detector array 4 and the picture signal received by 4' is carried out to a signal output line, and it is amplified by the signal output amplifier 6 and 6'. Then, it is switched by the timing generating circuit 5, 5', and the 5'' control signal, and is outputted as a signal output Vout. In addition, in the signal output amplifier 6 and 6', it has a current regulator circuit, and current supply starts in the signal output amplifier 6 and 6', and magnification actuation of a stationary is enabled from the start signal at start signal SP's input and coincidence at the time of the clock signal input of N bit.

[0038] Moreover, it has the composition that the chip [degree] start signal 9 and 9' are obtained, by choosing the start signal at the time of high resolution mode (9-1, 9'-1), and the start signal at the time of a low resolution (9-2, 9'-2) using the start signal switch means 10 and 10'.

[0039] Moreover, the chip [degree] start signal 9 and 9' output the signal at the time before [a bit of] N (K-N bit) as a start signal of degree chip from the time of the bit of each photoelectrical inverter ending read-out from this side N bit parts of a shift register 3 and the last register of 3'.

[0040] Moreover, the driving pulses phi1 (7 7') and phi2 (8 8') which drive a photo detector 4, the pulse which drives 4' and a shift register 3, and 3' by the timing generating circuit 5 driven with a clock signal CLK and the start pulse signal SP and 5' are generated. The start pulse signal SP is connected for taking the synchronization of initiation of each image-sensors chip of operation common to each image-sensors chip.

[0041] Next, drawing 2 is a shift register for 8 bits, and the circuit block diagram of a photo detector. The shift register consists of shift register blocks 11 which make 4 bits 1 block, and 11 consists of 1 bit-shift register 12-1 to 12-4 synchronous [phishift register block 1], a 1 bit-shift register 13-1 to 13-4 synchronous [phi2] and analog switches S11-S17 that change a mode signal, and S21-S27.

[0042] Moreover, the shift register block 11 is the read-out pulse line phia1 to phid2, and is connected with photo detectors a1-d2 and each switch control terminal between non-illustrated signal output lines.

[0043] furthermore, the reset switch M which drawing 3 is an equal circuit for 4 pixels of photo detectors in drawing 2 , and are photo diode PDa-PDd from which each photo detectors a1-d1 serve as a photo-electric-translation means, and a means to carry out reading appearance and to reset switch M1 a-M1d, signal transfer switch M2 a-M2d, MOS source follower M3 a-M3d, and the above-mentioned photo-electric-translation means -- it consists of storage capacitance calcium-Cd which accumulates a charge temporarily 4 d 4 a-M.

[0044] Hereafter, actuation of this operation gestalt is explained.

[0045] In each photo detectors a1-d1 shown in drawing 3 , charge electrical-potential-difference conversion is carried out by MOS source follower M3 a-M3d, and the optical carrier generated by photo electric translation in photo diode PDa-PDd is transmitted to storage capacitance calcium-Cd by all pixel packages in signal transfer pulse phiT. then, it becomes yes from a shift register 11 one by one -- reading appearance is carried out, reading appearance is carried out one by one, switch M1 a-M1d is made into an ON state, a signal level carries out a capacitive component rate to the common signal line 14, and reading appearance is carried out to it by the pulse phia1 to phid1.

[0046] In this operation gestalt, although it reads at the time of high resolution mode and the pulse phia1 to phid1 carries out sequential ON, at the time of low resolution mode, adjoining 2 bits, phia1 [i.e.,] which are scanned from a shift register 11, and phib1 turn on simultaneously, and it becomes the configuration which phic1 and phid1 turn on simultaneously continuously. Therefore, in low resolution mode, 2-pixel capacitive component rate addition enables it to make a signal level larger than the time of high resolution mode. In addition, about the above-mentioned capacitive component rate addition, it is indicated by JP,4-4682,A, for example.

[0047] Next, actuation of the shift register section is explained using drawing 2 and drawing 3 .

[0048] In drawing 2 , when a MODE signal is high-level, the analog switch of S11, S21, S16, S17, S26, and S27 will be in an OFF state, and, on the other hand, S12, S13, S14, S15, S22, S23, S24, and S25 will be in an ON state. Therefore, it will become the usual shift register actuation without a resolution switch, and phid2 will be from the read-out control pulse phia1 for each photo detectors in an ON state one by one serially. In addition, in drawing 2 , although the output line of a picture

signal is not illustrated, synchronizing with becoming sequential yes by phid2 from a control pulse phia1, the light-receiving charge of d2 is outputted to a signal output line from each photo detector a1.

[0049] Next, when a MODE signal is a low level, the analog switch of S11, S21, S16, S17, S26, and S27 will be in an ON state, and, on the other hand, S12, S13, S14, S15, S22, S23, S24, and S25 will be in an OFF state. Therefore, if a shift pulse is inputted into a shift register 12-1, it will be outputted by phia1 and phib1phi1 synchronization from a shift register 12-1, and the signal of the photo detector of a1 and b1 will be read simultaneously. Then, a shift pulse is inputted into a shift register 13-2 through an analog switch S11, is outputted by phic1 and phid1phi2 synchronization from a shift register 13-2, and reads simultaneously the signal of the photo detector of c1 and d1. Reading appearance of the addition charge of a pair of photo detector is carried out to the output line it is not illustrated in [whose] the mode of this low resolution read-out one by one like a photo detector a1, b1 and c1, d1 and a2, and b2, c2 and d2.

[0050] At this time, since a shift pulse is not inputted, a shift register 13-1 and a shift register 12-2 do not operate. Similarly, it is outputted by phia2 and phib2phi1 synchronization from a shift register 12-3, and the signal of the photo detector of a2 and b2 is read simultaneously, it is outputted by phic2 and phid2phi2 synchronization from a shift register 13-4, and the signal of the photo detector of c2 and d2 is read simultaneously.

[0051] The timing chart of the above actuation is shown in drawing 4 . In drawing 4 , a clock signal CLK and synchronizing signals phi1 and phi2 are supplied common to high resolution mode and low resolution mode, and while start signal SR becomes yes, each picture signal output in high resolution mode and low resolution mode is obtained. this drawing shows that the twice [at the time of high resolution mode] as many thing which reading appearance is carried out and is read at a rate as this is possible in low resolution mode in the same clock rate.

[0052] Next, the switch means of a chip [degree] start signal is explained.

[0053] In drawing 1 , since the pre shift register 2 and 2' have 4-bit delay, they must output the signal in front of 4 bits as a start signal of degree chip. After there is no need for the time amount accommodation from start signal SP and read-out of the photoelectrical inverter of the preceding paragraph is completed by the pre shift register 2 and 2', the continuous picture signal which does not have an opening according to the same timing can be acquired. Therefore, in the case of high resolution mode, since the photoelectrical inverter 1 and 1' have a 344-bit signal, respectively, they use the bit [341st] shift register signal 9-1 and 9'-1 as a chip [degree] start signal.

[0054] Moreover, in low resolution mode, since a 2-pixel addition signal becomes 1 bit, the photoelectrical inverter 1 and 1' will have a 177-bit signal equivalent. Therefore, the bit [337th] shift register signal 9-2 and 9'-2 are used as a chip [degree] start signal by photo detector conversion. That is, by establishing the start signal switch means which switches a chip [degree] start signal, even if it switches resolution, in the part of the joint of a photoelectrical inverter, a pixel signal becomes possible [maintaining a continuity].

[0055] In addition, in the above-mentioned operation gestalt, although the number of bits of a photoelectrical inverter was made into 344 bits, if it is the number of bits of the multiple of 4, it will not matter without limit.

[0056] Moreover, resolution, such as not only when [high resolving mode / low resolving mode] is [600dpi / 300dpi], but [400dpi/200dpi] etc., is sufficient also as resolution.

[0057] Furthermore, although this operation gestalt showed the case where the resolution ratio in high resolution mode and low resolution mode was twice, it is also easy to set up a resolution ratio 3 times like a switch of [600dpi / 200dpi] by making 6 pixels into 1 block and, for example, making the number of pixels of a photoelectrical inverter into the multiple of 6.

[0058] Therefore, a low resolution, then two or more light-receiving element numbers of each photoelectrical inverter are 2-N multiples in this case about 1-/N (N is the natural number) of high resolution and this high resolution.

[0059] Moreover, if its attention is paid to two or more photo detectors of each photoelectrical inverter, reading appearance of the 1st photo detector of a photo detector array is carried out by the shift register driving pulse for odd number, and the last photo detector can acquire the continuous picture signal which does not have discontinuity in timing by reading appearance being carried out

by the shift register driving pulse for even number.

[0060] Moreover, by not being restricted to this and changing the configuration of a shift register, although the number of shift register driving pulses is two in the above example, when a low resolution is chosen, it is also possible in three shift register driving pulses to add three adjacent photo detectors and to make it read. namely, in resolution, when making it drive by the shift register driving pulse of M individual, if [$1/N$ every] it has two or more changing resolution, the number of photo detectors should just be a multiple of MN.

[0061] Moreover, the selecting switch which chooses either of two or more resolution as an image scanner, and facsimile and an electronic copying machine is formed. By making into a main scanning direction the direction which reads the above-mentioned contact type image sensor, and scanning also in the direction of vertical scanning structural corresponding to an image manuscript by making a direction vertical to the main scanning direction into the direction of vertical scanning A two-dimensional reading signal can be acquired, and it can depend especially, and can imprint on transferred paper according to two or more resolution exposed to an optical photo conductor according to this reading signal, and a functional degree of freedom can be increased.

[0062] (Operation gestalt 2) Drawing 5 is the circuit block diagram of a contact type image sensor using the photoelectrical inverter in the operation gestalt 2 of this invention.

[0063] In this operation gestalt, to the above-mentioned operation gestalt 1, the terminal further for resolution control (MODE2) is added, and the configuration in which three kinds of resolution switches, high resolution mode (1200dpi), inside resolution mode (600dpi), and low resolution mode (300dpi), are possible is shown. However, the number of resolution in each mode is instantiation, and can be set as arbitration according to the object.

[0064] In drawing 5, each photoelectrical inverter 1 and 1' have the pre shift register 2 and 2' which have 4-bit delay, a shift register 3, 3', the 688-bit photo detector array 17, 17', the timing generating circuit 5, 5', the signal output amplifier 6, and 6'. Here, a shift register 3 and 3' consist of shift register blocks 16 for 8 bits. Moreover, it has the composition that the chip [degree] start signal 9 and 9' are obtained, by choosing three sorts of start signals 9-1 taken out from the shift register, i.e., the start signal at the time of high resolution mode, 9'-1, the start signal 9-3 at the time of inside resolution mode, 9'-3 and the start signal 9-2 at the time of a low resolution, and 9'-2 using the start signal switch means 10 and 10'.

[0065] The concrete circuit diagram of the start signal switch circuit 10 is shown in drawing 6. A 1-bit signal is inputted from each of MODE 1 and 2, the start signal 9-1 at the time of high resolution mode, 9'-1, the start signal 9-3 at the time of inside resolution mode, 9'-3 and the start signal 9-2 at the time of a low resolution, and 9'-2 are chosen, and it outputs as the start signal 9 of the image chip of the next step, and 9'. When MODE(s) 1 and 2 are [0, 0], it is in blank mode, and it does not output. In addition, since a logical circuit can attain such a switch circuit for selection easily even in other circuits, it omits explanation.

[0066] this operation gestalt -- setting -- the time of high resolution mode -- 1 pixel -- the time of 1 bit and inside resolution mode -- it becomes 1 bit by 4-pixel addition by 2 pixels by 2-pixel addition at 4 pixels at the time of 1 bit and low resolution mode. Therefore, the amount of 8 pixels become 1 block, and it can constitute the shift register block 16 like the operation gestalt 1.

[0067] As shown in this operation gestalt, in this invention, it also becomes it is possible and possible [the thing which responded to each resolution and for which read, can realize a rate and it is made not to produce the discontinuity of a signal in the joint of a photoelectrical inverter] to set up resolution mode more than three kinds or it.

[0068] Moreover, an effective thing cannot be overemphasized even if it applies this invention not only to a 1-dimensional photoelectrical inverter but to a two-dimensional photoelectrical inverter. When applying this invention to a two-dimensional photoelectrical inverter, other than a resolution switch of pixel level, a resolution switch of a horizontal chisel, a resolution switch of a perpendicular chisel, etc. can be realized.

[0069]

[Effect of the Invention] As explained above, since [which a signal did not become discontinuous in the joint of a photoelectrical inverter in the time of a resolution switch, and responded to resolution by this invention] it reads and a rate is obtained, the effectiveness is greatest.

[0070] Moreover, by using for the image scanner using the contact type image sensor concerned, facsimile, an electronic copying machine, etc., it can output according to high definition and the image quality usually required of transferred paper called image quality etc., and the degree of freedom on a function can be increased.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit block diagram of the contact type image sensor in the operation gestalt 1 of this invention.

[Drawing 2] It is the shift register for 8 bits and the circuit block diagram of a photo detector by the operation gestalt of this invention.

[Drawing 3] It is the representative circuit schematic (4 pixels) of the photo detector by the operation gestalt of this invention.

[Drawing 4] It is the timing chart which shows actuation by the operation gestalt of this invention.

[Drawing 5] It is the circuit block diagram of a contact type image sensor using the photoelectrical inverter in the operation gestalt 2 of this invention.

[Drawing 6] It is the circuit diagram of the start signal switch circuit in the operation gestalt 2 of this invention.

[Drawing 7] It is the circuit diagram of the integrated circuit for contact type image sensors in the conventional technique (1).

[Drawing 8] It is the representative circuit schematic of the image-sensors chip in the conventional technique (2).

[Drawing 9] It is a timing chart in the conventional technique (2).

[Description of Notations]

1 1' Photoelectrical swap device

2 2' Pre shift register

3 3' Shift register

4 4' Photo detector array

5 5' Timing generating circuit

7 7' Shift register driving pulse (phi 1)

8 8' Shift register driving pulse (phi 2)

9 9' Chip [degree] start signal line

9-1, 9-1' It is a start signal line at the time of high resolving mode.

9-2, 9-2' It is a start signal line at the time of low resolving mode.

10 10' Start signal change means

11 Shift Register Block (4 Bits)

12-1 - 12-4' phi1 synchronous 1 bit-shift register

13-1 - 13-4' phi2 synchronous 1 bit-shift register

14 Common Signal Line

a1-d2 Photo detector

phia1 to phid2 a1 - d2 read-out pulse

M1 a-M1d Read-out switch

M4 a-M4d Reset switch

PDa-PDd Photo diode

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

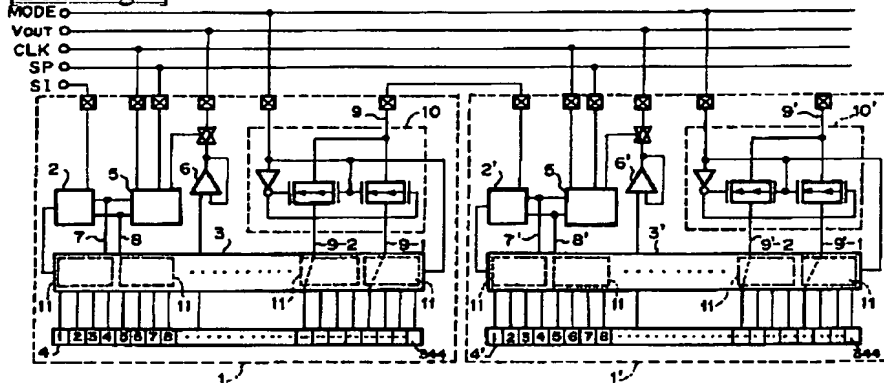
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

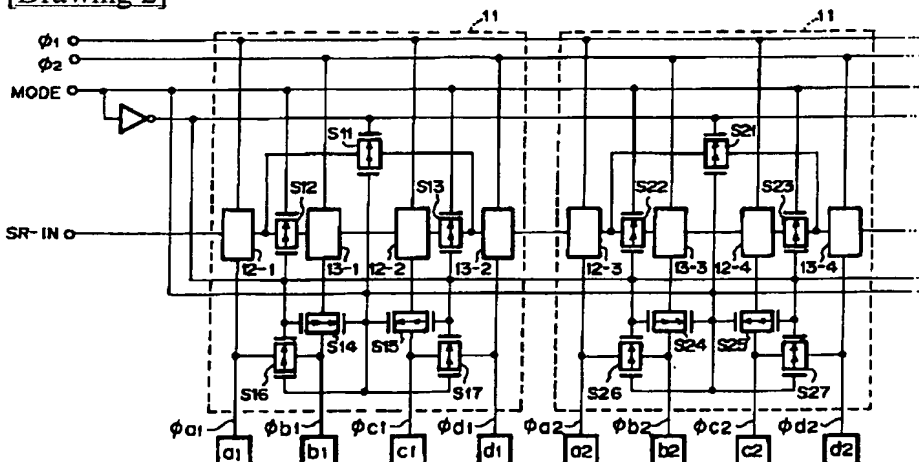
DRAWINGS

[Drawing 1]



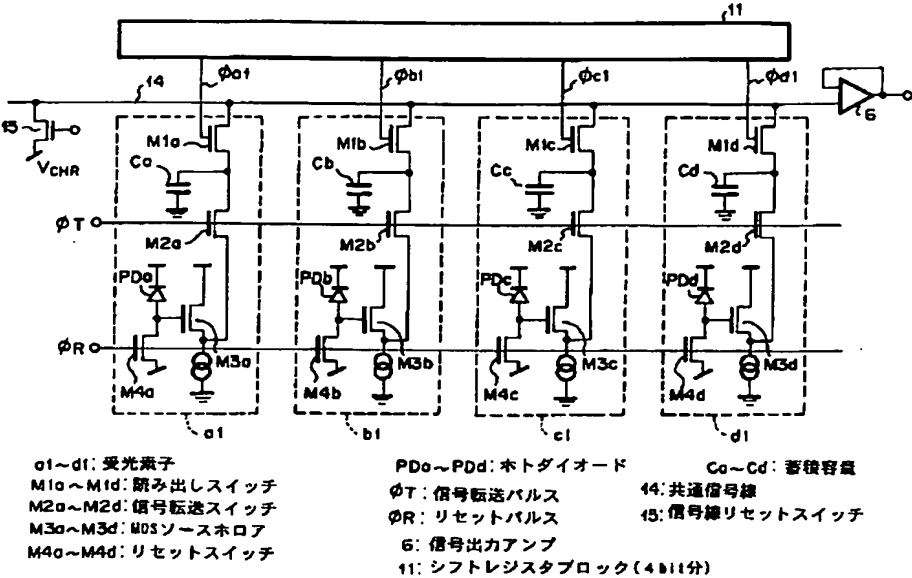
- 1, 1': 光電変換装置
2, 2': プレシフトレジスタ
3, 3': シフトレジスタ
4, 4': 受光素子アレイ
5, 5': タイミング発生回路
6, 6': 信号出力アンプ
7, 7': シフトレジスタ駆動パルス($\phi 1$)
8, 8': シフトレジスタ駆動パルス($\phi 2$)
9, 9': 次チップスタート信号線
10, 10': スタート信号切り換え手段
11: シフトレジスタブロック(4bit分)
9-1, 9'-1: 高解像度モード時スタート信号
9-2, 9'-2: 低解像度モード時スタート信号

[Drawing 2]

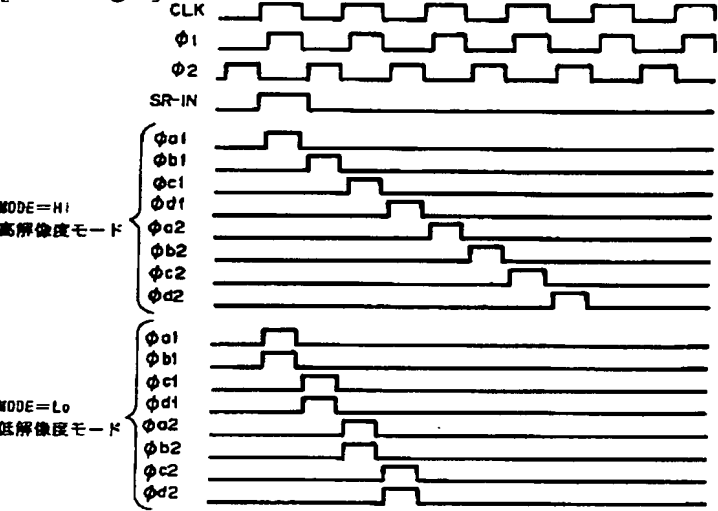


- 11: シフトレジスタブロック(4bit分)
12-1~12-4: $\phi 1$ 同期1bitシフトレジスタ
13-1~13-4: $\phi 2$ 同期1bitシフトレジスタ
S11~S27: アナログスイッチ
a1~d2: 受光素子
 $\phi a1 \sim \phi d2$: a1~d2 読み出しパルス

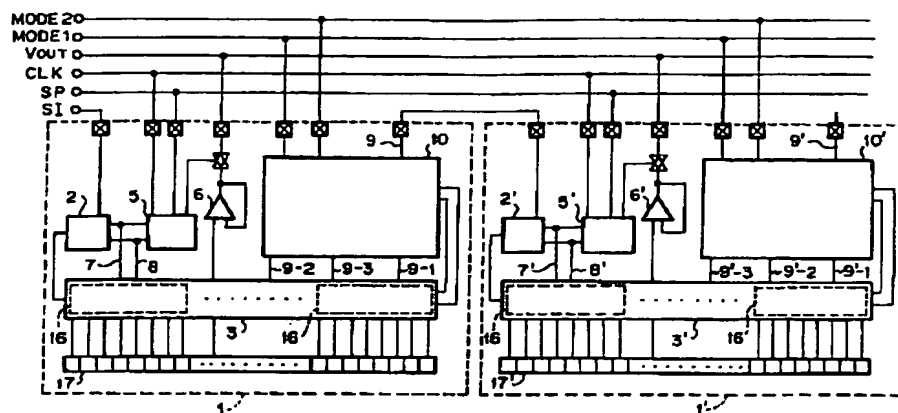
[Drawing 3]



[Drawing 4]

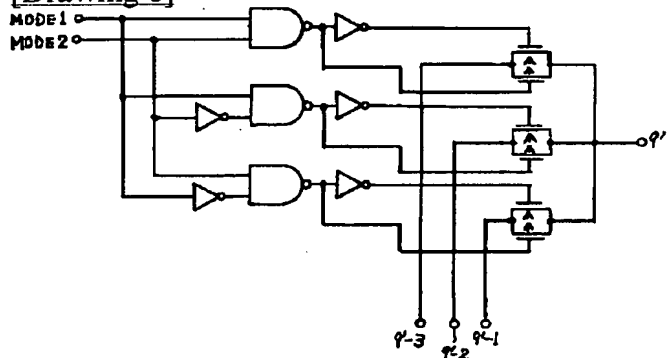


[Drawing 5]

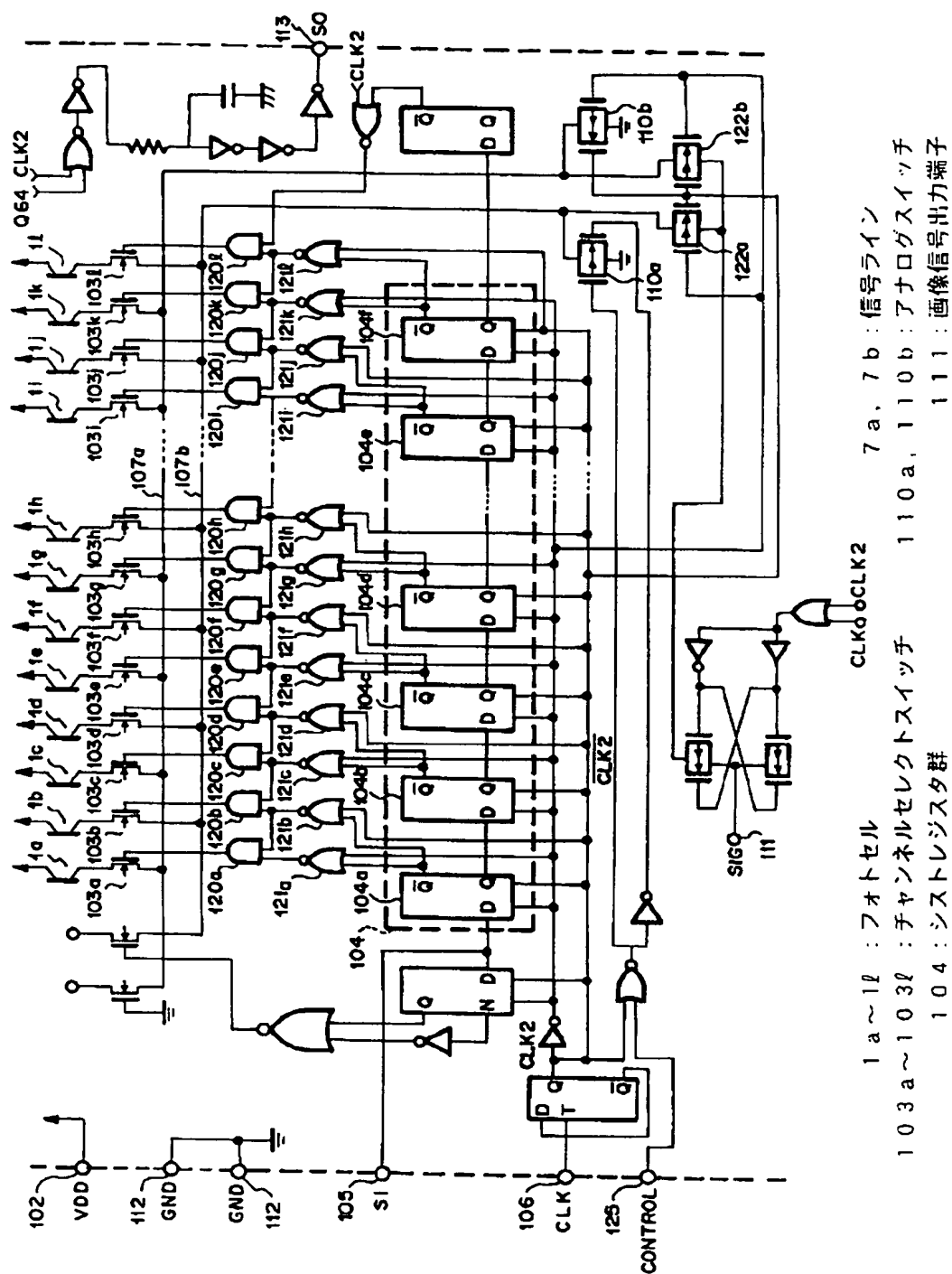


- | | |
|----------------------------------|----------------------------|
| 1, 1' : 光電変換装置 | 10, 10' : スタート信号切り換え手段 |
| 2, 2' : プレシフトレジスタ | 16 : シフトレジスタブロック(8bit分) |
| 3, 3' : シフトレジスタ | 17, 17' : 受光素子アレイ |
| 5, 5' : タイミング発生回路 | 9-1, 9'-1 : 高解像度モード時スタート信号 |
| 6, 6' : 信号出力アンプ | 9-2, 9'-2 : 低解像度モード時スタート信号 |
| 7, 7' : シフトレジスタ駆動パルス($\phi 1$) | 9-3, 9'-3 : 中解像度モード時スタート信号 |
| 8, 8' : シフトレジスタ駆動パルス($\phi 2$) | |
| 9, 9' : 次チップスタート信号線 | |

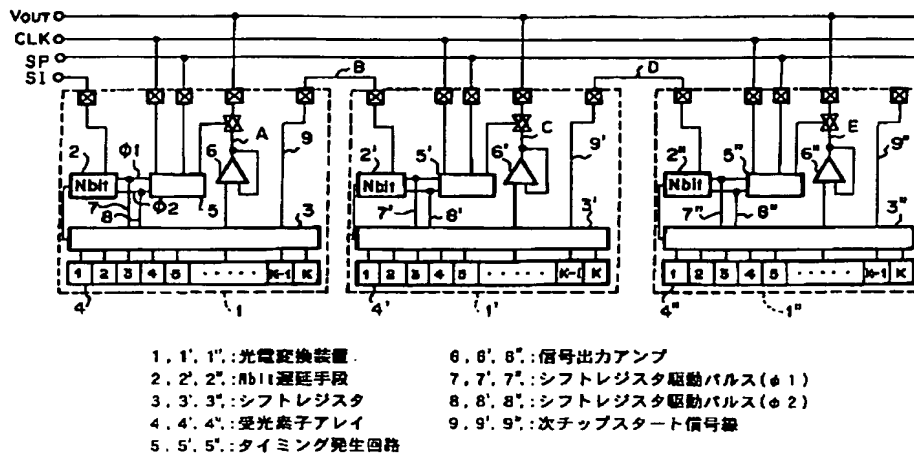
[Drawing 6]



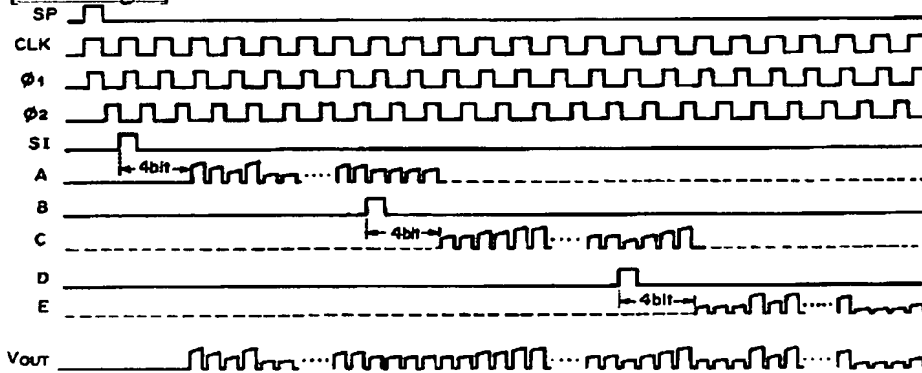
[Drawing 7]



[Drawing 8]



[Drawing 9]



[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CORRECTION OR AMENDMENT

[Kind of official gazette] Printing of amendment by the convention of 2 of Article 17 of Patent Law
 [Category partition] The 3rd partition of the 7th category
 [Publication date] April 5, Heisei 14 (2002. 4.5)

[Publication No.] JP,11-234473,A
 [Date of Publication] August 27, Heisei 11 (1999. 8.27)
 [Annual volume number] Open patent official report 11-2345
 [Application number] Japanese Patent Application No. 10-37594
 [The 7th edition of International Patent Classification]

H04N 1/028
 1/19

[FI]

H04N 1/028 Z
 1/04 102

[Procedure amendment]
 [Filing Date] November 30, Heisei 13 (2001. 11.30)
 [Procedure amendment 1]
 [Document to be Amended] Description
 [Item(s) to be Amended] Claim
 [Method of Amendment] Modification
 [Proposed Amendment]
 [Claim(s)]

[Claim 1] The photo detector array by which two or more photo detectors have been arranged in the 1st resolution, the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, and the scan means driven by the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array, In the photoelectrical inverter which has the resolution switch means which switches said 1st resolution and the 2nd resolution which is 1-/N (N is the natural number) of this 1st resolution, The photoelectrical inverter characterized by being the multiple said two or more light-receiving element numbers of whose are 2Ns.

[Claim 2] The photo detector array by which two or more photo detectors have been arranged in the 1st resolution, the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, and the scan means driven by the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array, In the image sensors which two or more mounting is carried out and are constituted in the photoelectrical inverter which has the resolution switch means which switches said 1st resolution and the 2nd resolution which is 1-/N (N is the natural number) of this 1st resolution, Image sensors characterized by being the multiple whose light-receiving element number of said photoelectrical inverter is 2Ns.

[Claim 3] The photo detector array by which two or more photo detectors have been arranged in the 1st resolution, the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, and the scan means driven by the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array, In the photoelectrical inverter which has the resolution switch means which switches said 1st resolution and the 2nd resolution which is $1/N$ (N is the natural number) of this 1st resolution,

It is the photoelectrical inverter which reading appearance of the 1st photo detector of said photo detector array is carried out by said 1st shift register driving pulse, and is characterized by reading appearance of the last photo detector being carried out by this 2nd shift register driving pulse.

[Claim 4] The photo detector array by which two or more photo detectors have been arranged in the 1st resolution, the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, and the scan means driven by the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array, In the image sensors which two or more mounting is carried out and are constituted in the photoelectrical inverter which has the resolution switch means which switches said 1st resolution and the 2nd resolution which is $1/N$ (N is the natural number) of this 1st resolution,

They are the image sensors which reading appearance of the 1st photo detector of said photo detector array is carried out by said 1st shift register driving pulse, and are characterized by reading appearance of the last photo detector being carried out by said 2nd shift register driving pulse.

[Claim 5] In the image sensors which connected two or more photoelectrical inverters containing two or more photo detectors,

It has a resolution selection means to choose resolution, the control means, to which an approach to read the signal from said photo detector with the resolution chosen by said resolution selection means into each photoelectrical inverter is changed, and the signal read-out means which reads a signal by two or more pulses from said photo detector,

Said signal read-out means are image sensors characterized by setting up the number of arrays of a photo detector so that reading appearance of the signal by which is made to drive two or more pulses periodically, and reading appearance is carried out to the beginning from said signal read-out means within each photoelectrical inverter may be carried out by the same pulse among said two or more pulses.

[Claim 6] In the image sensors which connected two or more photoelectrical inverters containing two or more photo detectors,

It has a resolution selection means by which resolution chooses either of two or more resolution which changes $1/N$ (integer forward in N) every, the control means, to which an approach to read the signal from said light-receiving **** with the resolution chosen by said resolution selection means into each photoelectrical inverter is changed, and the signal read-out means which reads a signal from said photo detector by the shift register driving pulse of M (M is forward integer) individual,

Image sensors characterized by said two or more photo detectors being the multiples of MN .

[Claim 7] The photo detector array by which two or more photo detectors have been arranged in the 1st resolution, and the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, The scan means driven by the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array, In the image reader using the image sensors which two or more mounting is carried out and are constituted in the photoelectrical inverter which has the resolution switch means which switches said 1st resolution and the 2nd resolution which is $1/N$ (N is the natural number) of this 1st resolution,

The image reader which the light-receiving element number of said photoelectrical inverter is a multiple which is $2Ns$, and is characterized by having the switch which switches said the 1st resolution and said 2nd resolution.

[Procedure amendment 2]

[Document to be Amended] Description

[Item(s) to be Amended] 0001

[Method of Amendment] Modification

[Proposed Amendment]

[0001]

[Field of the Invention] This invention relates to the image sensors which have a resolution switch function and the photoelectrical inverter used for the actuation approach of image sensors, the image reader which reads two-dimensional images, such as an image scanner, and facsimile, an electronic copying machine, to a list in more detail about the image sensors which mounted two or more photoelectrical inverters equipped with the 1-dimensional optoelectric transducer and the actuation circuit which drives this, and its actuation approach.

[Procedure amendment 3]

[Document to be Amended] Description

[Item(s) to be Amended] 0023

[Method of Amendment] Modification

[Proposed Amendment]

[0023] The object of [object of invention] this invention is in the thing which responded to resolution at the time of a resolution switch and for which it reads and the suitable photoelectrical inverter for high-speed image sensors and image sensors is offered realizable [a rate].

[Procedure amendment 4]

[Document to be Amended] Description

[Item(s) to be Amended] 0025

[Method of Amendment] Modification

[Proposed Amendment]

[0025] Moreover, this invention is a photo detector array by which two or more photo detectors have been arranged in the 1st resolution. The scan means driven by the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, and the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array The resolution switch means which switches said 1st resolution and the 2nd resolution which is $1/N$ (N is the natural number) of this 1st resolution it comes out, and it is and is characterized by being the multiple equipped with the above whose light-receiving element number of said photoelectrical inverter is $2Ns$.

[Procedure amendment 5]

[Document to be Amended] Description

[Item(s) to be Amended] 0028

[Method of Amendment] Modification

[Proposed Amendment]

[0028] This invention is a photo detector array by which two or more photo detectors have been arranged in the 1st resolution further again. The scan means driven by the 1st shift register driving pulse which reads this odd-numbered photo detector of this photo detector array, and the 2nd shift register driving pulse which reads this even-numbered photo detector of this photo detector array The resolution switch means which switches said 1st resolution and the 2nd resolution which is $1/N$ (N is the natural number) of this 1st resolution it comes out, and it is, is the multiple equipped with the above whose light-receiving element number of said photoelectrical inverter is $2Ns$, and is characterized by having the switch which switches said the 1st resolution and said 2nd resolution.

[Procedure amendment 6]

[Document to be Amended] Description

[Item(s) to be Amended] 0070

[Method of Amendment] Modification

[Proposed Amendment]

[0070] Moreover, by using for the electronic copying machine using the image sensors concerned etc., it can output according to high definition and the image quality usually required of transferred paper called image quality etc., and the degree of freedom on a function can be increased.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-234473

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.⁶

H 0 4 N 1/028
1/19

識別記号

F I

H 0 4 N 1/028
1/04

Z

1 0 2

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号

特願平10-37594

(22) 出願日

平成10年(1998) 2月19日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 小塚 関

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

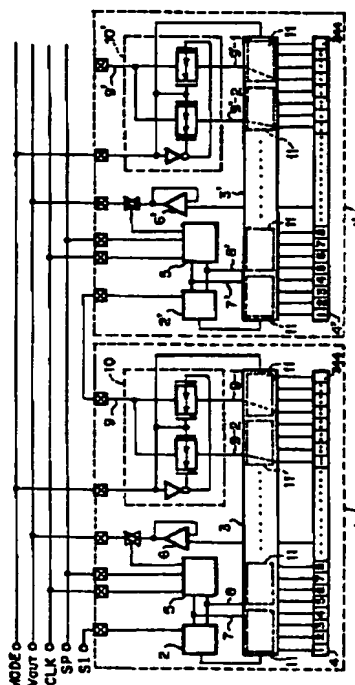
(74) 代理人 弁理士 山下 積平

(54) 【発明の名称】 光電変換装置及び密着型イメージセンサと画像読取装置

(57) 【要約】

【課題】 解像度切り換え時に、解像度に応じた読み取り速度が実現可能で、かつ高速な密着型イメージセンサ、及び密着型イメージセンサに好適な光電変換装置を提供することを課題とする。

【解決手段】 複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の1/N (Nは自然数)である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置において、前記複数の受光素子数が2Nの倍数であることを特徴とする。



1. 1': 光電変換装置
2. 2': プレフィードバック回路
3. 3': シフトレジスタ
4. 4': 密着型イメージセンサ
5. 5': タイミング発生回路
6. 6': 信号出力アンプ
7. 7': シフトレジスタ駆動パルス(61)
8. 8': シフトレジスタ駆動パルス(62)
9. 9': 波打線スタート信号
10. 10': スタート信号切り換え手段
11. 11': シフトレジスタロック(411)
9-1. 9-1': 読出モードスタート信号
9-2. 9-2': 読出モードスタート信号

(2)

1

【特許請求の範囲】

【請求項1】 複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の $1/N$ （ N は自然数）である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置において、前記複数の受光素子数が $2N$ の倍数であることを特徴とする光電変換装置。

【請求項2】 複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の $1/N$ （ N は自然数）である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置を複数実装されて構成される密着型イメージセンサにおいて、前記光電変換装置の受光素子数が $2N$ の倍数であることを特徴とする密着型イメージセンサ。

【請求項3】 複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の $1/N$ （ N は自然数）である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置において、前記受光素子アレイの第1番目の受光素子は前記第1シフトレジスタ駆動パルスにより読み出され、かつ、最後の受光素子は該第2シフトレジスタ駆動パルスにより読み出されることを特徴とする光電変換装置。

【請求項4】 複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の $1/N$ （ N は自然数）である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置を複数実装されて構成される密着型イメージセンサにおいて、前記受光素子アレイの第1番目の受光素子は前記第1シフトレジスタ駆動パルスにより読み出され、かつ、最後の受光素子は前記第2シフトレジスタ駆動パルスにより読み出されることを特徴とする密着型イメージセンサ。

【請求項5】 複数の受光素子を含む光電変換装置を複数接続したイメージセンサにおいて、解像度を選択する解像度選択手段と、それぞれの光電変

2

換装置内に、前記解像度選択手段によって選択された解像度により前記受光素子からの信号の読み出し方法を変化させる制御手段と、前記受光素子から複数のパルスによって信号を読み出す信号読出手段と、を有し、前記信号読出手段は複数のパルスを周期的に駆動させ、それぞれの光電変換装置内で前記信号読出手段から最初に読み出される信号が前記複数パルスのうち同一パルスで読み出されるように受光素子の配列数を設定したことを特徴とするイメージセンサ。

10 【請求項6】 複数の受光素子を含む光電変換装置を複数接続したイメージセンサにおいて、解像度が $1/N$ （ N は正の整数）ずつ変化する複数の解像度のうちのいずれかを選択する解像度選択手段と、それぞれの光電変換装置内に、前記解像度選択手段によって選択された解像度により前記受光素子からの信号の読み出し方法を変化させる制御手段と、前記受光素子から M （ M は正の整数）個のシフトレジスタ駆動パルスによって信号を読み出す信号読出手段と、を有し、前記複数の受光素子が MN の倍数であることを特徴とするイメージセンサ。

20 【請求項7】 複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと、該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の $1/N$ （ N は自然数）である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置を複数実装されて構成される密着型イメージセンサを用いた画像読取装置において、前記光電変換装置の受光素子数が $2N$ の倍数であり、前記第1の解像度と前記第2の解像度とを切り換えるスイッチを備えたことを特徴とする画像読取装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、1次元の光電変換素子とこれを駆動する駆動回路とを備えた光電変換装置を複数実装した密着型イメージセンサ及びその駆動方法に関するものであり、更に詳しくは、解像度切り換え機能を有する密着型イメージセンサ、及び密着型イメージセンサの駆動方法に用いる光電変換装置、並びにイメージスキャナやファクシミリ、電子複写機等の2次元の画像を読み出す画像読取装置等に関するものである。

【0002】

【従来技術】近年、情報処理システムの分野では、1次元の画像読み取り装置として、従来の光学系を用いた縮尺系のラインセンサに対して、複数の半導体光センサチップをマルチ実装した、等倍系の密着型イメージセンサの開発が積極的に行われている。

50 【0003】（従来技術1）例えば、特開平5-227

(3)

3

362号公報には、新規に解像度制御用のコントロール端子を設け、ユーザが利用条件にあわせて解像度を切り換えることが可能な密着型イメージセンサが提案されている。

【0004】図7は当該公開公報に提案されている密着型イメージセンサ用集積回路の回路図である。この従来技術においては、イメージセンサチップにコントロール端子(125)を設け、その端子にユーザが、ハイレベルまたはローレベルの信号を入力することにより高解像度モードと低解像度モードの解像度切り換えを実現している。図7について概略説明すれば、スタートパルスSIと、クロックパルスCLKとをシフトレジスタ群104に供給する。スタートパルスSIによってシフトレジスタ104aが起動されると、その出力はノアゲート121aおよびアンドゲート120aを通してチャンネルセレクトスイッチ103aに入力され、これをオンにし、フォトセル101aからの信号を信号ライン107aに取り出す。他のシフトレジスタ104b~104fも順次起動していき、各フォトセル101b~101fからの信号を信号線107a, 107bに出力する。

【0005】ここで、コントロール信号入力端子125にコントロール信号"H"が入力されると、アナログスイッチ110a, 110b, 122a, 122bが切り替えられ、画像出力端子111に16ドット/ミリの読み取り密度で画像信号が得られる。また、コントロール信号入力端子125にコントロール信号"L"が入力されると、アナログスイッチ110aが常にオン状態となり、画像出力端子111にはフォトセル101a~101f全体の半分の8ドット/ミリの読み取り密度で画像信号が得られる。つまり、センサIC上のフォトセル101a~101fは常に全数が動作しているが、外部に出力画像信号を取り出す際に、コントロール信号によって一部を間引いて出力させることができる。そのため、画像信号の電圧レベルは常に一定となり、後段の画像処理回路の構成は従来のもので対応が可能となる。

【0006】(従来技術2)一方、高速化の要求に対して、例えば、特開平2-210950号公報にはスタート信号を遅延させる手段を有するイメージセンサチップ、及び密着型イメージセンサが提案されており、センサ信号を読み出す前に定電流回路を立ち上げることにより、高速読み出しを実現している。すなわち、受光要素を有するイメージセンサチップを複数個配列することによって構成されるマルチチップ型の光電変換装置に用いられるイメージセンサチップ及びこれを用いた光電変換装置において、受光要素による光信号読み出し動作のスタート信号を遅延させる遅延手段と、前記光信号読み出し動作が終了する前に、示談のイメージセンサチップに対するスタート信号に用いられる信号を有し、前記光信号読み出し信号を増幅する増幅回路内の定電流回路を、前記遅延手段の遅延開始を示すスタート信号によって、

4

立ち上げることを特徴としている。

【0007】また、特開平2-210949号公報には、上記特開平2-210950号公報に用いる1チップの構成を示しており、クロック信号のハイレベルに同期する内部クロックΦ1、クロック信号のローレベルに同期する内部クロックΦ2を用いてシフトレジスタを駆動するイメージセンサチップ、及び密着型イメージセンサが提案されており、これによりデューティ100%の高速読み出しを実現している。

10 【0008】図8に、従来例として、上記特開平2-210949及び特開平2-210950号公報に記載された内容から想定されるイメージセンサチップの等価回路図を示す。

【0009】図8において、光電変換装置(1、1'、1'')がマルチ実装されており、各光電変換装置を駆動するクロック(CLK)、及びスタートパルス(SP)が共通接続されている。また、各光電変換装置(1、1'、1'')は、Nビットの遅延手段(Nビットプレシフトレジスタ2、2'、2'')、Kビットのシフトレジスタ(3、3'、3'')、Kビットの受光素子アレイ(4、4'、4'')、タイミング発生回路(5、5'、5'')、信号出力アンプ(6、6'、6'')を有している。

【0010】また、次チップスタート信号(9、9'、9'')は各光電変換装置のビットが読み出しを終了する時よりNビット前(K-Nビット)時の信号を、シフトレジスタ3、3'、3''の最終レジスタの手前Nビット部分から次チップのスタート信号として出力する。

30 【0011】また、クロック信号CLKとスタートパルス信号SPにより駆動されるタイミング発生回路(5、5'、5'')により、受光素子4、4'、4''を駆動するパルス、及び、シフトレジスタ3、3'、3''を駆動する駆動パルスΦ1(7、7'、7'')、Φ2(8、8'、8'')が生成される。スタートパルス信号SPが各イメージセンサチップに共通に接続されているのは、各イメージセンサチップの動作開始の同期を取るためである。

40 【0012】また、信号出力アンプ6、6'、6''は、受光素子アレイ4、4'、4''からシフトレジスタのシフト信号によってオン/オフするスイッチを介して1本の信号出力線に読み出される画像信号を増幅し、タイミング発生回路5、5'、5''の制御信号によって信号出力Voutされる。なお、信号出力アンプ6、6'、6''内には定電流回路が備えられ、スタート信号の入力と同時に、電源供給が始まり、スタート信号からNビットのクロック信号入力時には定常の増幅動作を可能としている。

50 【0013】図9はCLKに対するシフトレジスタ3の駆動パルスΦ1(7、7'、7'')、Φ2(8、8'、8'')のタイミングチャートである。

(4)

5

【0014】尚、図9は、図8における遅延手段2を4ビットとした場合のタイミングである。従って、シフトレジスタ3、3'、3''はスタートパルス信号SPから4ビット遅延して、最初のシフトレジスタの動作を開始する。

【0015】ここで、図9に示すように、シフトレジスタ3の駆動パルスΦ1(7、7'、7'')はCLKのハイレベルに同期したパルスとなり、Φ2(8、8'、8'')はCLKのローレベルに同期したパルスとなる。信号出力VoutはΦ1、Φ2に同期して取り出される。従って、シフトレジスタ3の1bit目がΦ1に対応する場合、奇数bitはΦ1同期、偶数bitはΦ2同期の信号出力となる。

【0016】同図Aは光電変換装置(1)の信号出力、同図Cは光電変換装置(1')の信号出力、同図Eは光電変換装置(1'')の信号出力であり、全体の信号出力Voutは図に示すようになる。また、各々の光電変換装置は、最終ビットの4ビット前の信号を次の光電変換装置のスタート信号(B、D)として出力している。

【0017】こうして、マルチチップ型の密着型イメージセンサとして大きな原稿を直接読み出すことが可能となり、チップ間の読み出し休息时间や、信号出力レベルの差異をなくすることができる。

【0018】

【発明が解決しようとする課題】しかしながら、上記の従来技術1に開示されている密着型イメージセンサの解像度切り換え方式においては、画素を読み飛ばすことにより解像度を切り換えているため、例えば、クロックレートが同一の場合には、解像度を半分にしても読み出し時間は、解像度が通常の場合でも半分の場合でも変わらない。仮に、受光素子が600dpiの光学解像度で配置され、高解像度モードで600dpi、低解像度モードで300dpiの解像度が得られるとすると、例えば、600dpi時に6msec/lineの読み取り速度が得られる場合、300dpi時でも6msec/lineの読み取り速度となり、解像度を落としても読み取り速度が変わらない。

【0019】従って、同一のクロックレートをを用いて600dpi時に5msec/lineの読み取り速度、300dpi時に3msec/lineの読み取り速度というように、解像度に応じた読み取り速度を実現することができないという問題がある。

【0020】また、奇数ビットと偶数ビットの信号出力線が分離しているため、偶数ビットと奇数ビットのレベル差も生じやすいという問題もある。

【0021】更に、従来技術1で開示されている解像度切り換えを従来技術2で開示されている密着型イメージセンサに適用した場合には、解像度切り換え時に光電変換装置の継ぎ目の部分で、不連続部が生じるという問題が生じる。

6

【0022】例えば、従来技術2において、プレシフトレジスタのビット数を10ビットとすると、高解像度モード時には次チップスタート信号を出力してから10ビット後に次の光電変換装置の1ビット目が出力されるため、光電変換装置の継ぎ目の部分での信号は不連続にならないが、低解像度モード時には次チップスタート信号が出力されてから5ビット後に信号出力が終了するため、次の光電変換装置の1ビット目が出力されるまでの間、5ビット分の不連続部分が光電変換装置の継ぎ目で生じることになる。

【0023】〔発明の目的〕本発明の目的は、解像度切り換え時に、解像度に応じた読み取り速度が実現可能で、かつ高速な密着型イメージセンサ、及び密着型イメージセンサに好適な光電変換装置を提供することにある。

【0024】

【課題を解決するための手段】上記の問題を解決するために、本発明は、複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の1/N(Nは自然数)である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置において、前記複数の受光素子数が2Nの倍数であることを特徴とする。

【0025】また、本発明は、複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の1/N(Nは自然数)である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置を複数実装されて構成される密着型イメージセンサにおいて、前記光電変換装置の受光素子数が2Nの倍数であることを特徴とする。

【0026】さらに、本発明は、複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の1/N(Nは自然数)である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置において、前記受光素子アレイの第1番目の受光素子は前記第1シフトレジスタ駆動パルスにより読み出され、かつ、最後の受光素子は該第2シフトレジスタ駆動パルスにより読み出されることを特徴とする。

【0027】またさらに、本発明は、複数の受光素子を

(5)

7

含む光電変換装置を複数接続したイメージセンサにおいて、解像度を選択する解像度選択手段と、それぞれの光電変換装置内に、前記解像度選択手段によって選択された解像度により前記受光素子からの信号の読み出し方法を変化させる制御手段と、前記受光素子から複数のパルスによって信号を読み出す信号読出手段と、を有し、前記信号読出手段は複数のパルスを周期的に駆動させ、それぞれの光電変換装置内で前記信号読出手段から最初に読み出される信号が前記複数パルスのうち同一パルスで読み出されるように受光素子の配列数を設定したことを特徴とする。

【0028】さらにまた、本発明は、複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の $1/N$ (N は自然数)である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置を複数実装されて構成される密着型イメージセンサを用いたイメージスキャナや、ファクシミリ、電子複写機等の画像読取装置において、前記光電変換装置の受光素子数が $2N$ の倍数であり、前記第1の解像度と前記第2の解像度とを切り換えるスイッチを備えたことを特徴とする。

【0029】【作用】本発明においては、マルチチップ実装された密着型イメージセンサにおいて、次のチップのシフトレジスタを起動するスタート信号を解像度切り換え信号により選択する手段を設けているため、解像度切り換え時においても、光電変換装置の継ぎ目において不連ビットが生じない。

【0030】また、本発明は、4画素 (a, b, c, d) を1ブロックとし、高解像度モードでは同期クロック $\Phi 1$ で a, c のビットを、同期クロック $\Phi 1$ に反転した同期クロック $\Phi 2$ で b, d のビットを駆動し、低解像度モードでは、同期クロック $\Phi 1$ で $a+b$ のビットを、同期クロック $\Phi 2$ で $c+d$ のビットを画素加算により読み出す手段を設けているため、同一のクロックレートを用いても、解像度に応じた読み取りスピードが実現可能となる。

【0031】

【発明の実施の形態】以下、本発明による実施形態について、図面を用いて詳細に説明する。

【0032】（実施形態1）図1は本発明の実施形態1における光電変換装置を用いた密着型イメージセンサの回路ブロック図、図2は図1における8ビット分のシフトレジスタと受光素子の回路ブロック図、図4は図2の動作を示すタイミングチャート、図3は4画素分の受光素子の等価回路図である。

【0033】図1において、光電変換装置1、1'がマ

8

ルチ実装され、密着型イメージセンサが形成されている。尚、同図には2チップ分のみを図示しているが、本実施形態では例えば15チップを1列に配置しマルチ実装して、密着型イメージセンサを構成している。

【0034】図1において、各々の光電変換装置1、1'には、光電変換装置を駆動するクロック (CLK)、スタートパルス (SP)、解像度切り換え信号 (MODE)、及び信号出力Voutが共通接続されており、ラインセンサの読み出しスタート信号SIが当初のイメージセンサチップ1に入力されている。

【0035】また、本実施形態においては、MODE信号がハイレベルの場合は高解像度モード (600dpi)、MODE信号がローレベルの場合は低解像度モード (300dpi) の解像度が得られる構成としている。

【0036】さらに、本実施形態の各々の光電変換装置1、1'はマルチ実装されており、Nbitt、例えば4bittの遅延を有するプレシフトレジスタ2、2'、シフトレジスタ3、3'、Kビット、例えば344ビットの受光素子アレイ4、4'、タイミング発生回路5、5'、信号出力アンプ6、6'を有している。ここで、シフトレジスタ3、3'は4ビット分のシフトレジスタブロック11から構成されている。

【0037】また、受光素子アレイ4、4'で受光された画像信号は、シフトレジスタ3、3'のシフト信号によってオン/オフするスイッチを介して、信号出力線に読み出され、信号出力アンプ6、6'で増幅される。そうして、タイミング発生回路5、5'、5''の制御信号によってスイッチングされて信号出力Voutとして出力される。なお、信号出力アンプ6、6'内には定電流回路が備えられ、スタート信号SPの入力と同時に、信号出力アンプ6、6'に電源供給が始まり、スタート信号からNビットのクロック信号入力時には定常の増幅動作を可能としている。

【0038】また、高解像度モード時のスタート信号 (9-1、9'-1)、及び低解像度時のスタート信号 (9-2、9'-2) をスタート信号切り換え手段10、10'を用いて選択することにより、次チップスタート信号9、9'が得られる構成となっている。

【0039】また、次チップスタート信号9、9'は各光電変換装置のビットが読み出しを終了する時よりNビット前 ($K-N$ ビット) 時の信号を、シフトレジスタ3、3'の最終レジスタの手前Nビット部分から次チップのスタート信号として出力する。

【0040】また、クロック信号CLKとスタートパルス信号SPにより駆動されるタイミング発生回路5、5'により、受光素子4、4'を駆動するパルス、及び、シフトレジスタ3、3'を駆動する駆動パルス $\Phi 1$ (7、7')、 $\Phi 2$ (8、8') が生成される。スタートパルス信号SPが各イメージセンサチップに共通に接

50

(6)

9

続されているのは、各イメージセンサチップの動作開始の同期を取るためである。

【0041】次に、図2は8ビット分のシフトレジスタと受光素子の回路ブロック図である。シフトレジスタは4ビットを1ブロックとするシフトレジスタブロック11から構成されており、シフトレジスタブロック11は $\Phi 1$ 同期の1ビットシフトレジスタ12-1~12-4、 $\Phi 2$ 同期の1ビットシフトレジスタ13-1~13-4、及びモード信号を切り替えるアナログスイッチS11~S17、S21~S27で構成されている。

【0042】また、シフトレジスタブロック11は、読み出しパルス線 $\Phi a 1 \sim \Phi d 2$ で、受光素子a1~d2と不図示の信号出力線間の各スイッチ制御端子と接続されている。

【0043】さらに、図3は図2における受光素子4画素分の等価回路であり、各々の受光素子a1~d1は、光電変換手段となるホトダイオードPDa~PDd、読み出しスイッチM1a~M1d、信号転送スイッチM2a~M2d、MOSソースホロアM3a~M3d、上記光電変換手段をリセットする手段であるリセットスイッチM4a~M4d、一時的に電荷を蓄積する蓄積容量Ca~Cdで構成されている。

【0044】以下、本実施形態の動作について説明する。

【0045】図3に示す各受光素子a1~d1において、ホトダイオードPDa~PDdにて光電変換により生成した光キャリアはMOSソースホロアM3a~M3dで電荷電圧変換され、信号転送パルス ΦT にて全画素一括で蓄積容量Ca~Cdに転送される。続いて、シフトレジスタ11から順次ハイとなる読み出しパルス $\Phi a 1 \sim \Phi d 1$ によって順次読み出しスイッチM1a~M1dをオン状態にし、共通信号線14に信号電圧が容量分割し読み出される。

【0046】本実施形態においては、高解像度モード時には読み出しパルス $\Phi a 1 \sim \Phi d 1$ は順次オンしていくが、低解像度モード時には、隣接する2ビット、すなわちシフトレジスタ11から走査する $\Phi a 1$ と $\Phi b 1$ が同時にオンし、続いて $\Phi c 1$ と $\Phi d 1$ が同時にオンする構成となる。従って、低解像度モードにおいては2画素の容量分割加算により、信号電圧を高解像度モード時より大きくすることが可能となる。尚、上記の容量分割加算については、例えば、特開平4-4682号公報に開示されている。

【0047】次に、図2、図3を用いてシフトレジスタ部の動作を説明する。

【0048】図2において、MODE信号がハイレベルの場合は、S11、S21、S16、S17、S26、S27のアナログスイッチがオフ状態となり、一方、S12、S13、S14、S15、S22、S23、S24、S25がオン状態となる。従って、解像度切り換え

10

の無い、通常のシフトレジスタ動作となり、各受光素子用の読み出し制御パルス $\Phi a 1$ から $\Phi d 2$ までは時系列的に順次オン状態となる。なお、図2においては、画像信号の出力線を図示していないが、制御パルス $\Phi a 1$ から $\Phi d 2$ による順次ハイとなるのに同期して、各受光素子a1からd2の受光電荷が信号出力線に出力される。

【0049】次に、MODE信号がローレベルの場合は、S11、S21、S16、S17、S26、S27のアナログスイッチがオン状態となり、一方、S12、S13、S14、S15、S22、S23、S24、S25がオフ状態となる。従って、シフトレジスタ12-1にシフトパルスが入力されると、シフトレジスタ12-1から $\Phi a 1$ と $\Phi b 1$ が $\Phi 1$ 同期で出力され、a1とb1の受光素子の信号を同時に読み出す。続いて、シフトパルスはアナログスイッチS11を介してシフトレジスタ13-2に入力され、シフトレジスタ13-2から $\Phi c 1$ と $\Phi d 1$ が $\Phi 2$ 同期で出力され、c1とd1の受光素子の信号を同時に読み出す。本低解像度読み出しのモードの場合も、不図示の出力線に受光素子a1とb1、c1とd1、a2とb2、c2とd2というように対の受光素子の加算電荷が順次読み出される。

【0050】このとき、シフトレジスタ13-1とシフトレジスタ12-2はシフトパルスが入力されないため動作しない。同様に、シフトレジスタ12-3から $\Phi a 2$ と $\Phi b 2$ が $\Phi 1$ 同期で出力され、a2とb2の受光素子の信号を同時に読み出し、シフトレジスタ13-4から $\Phi c 2$ と $\Phi d 2$ が $\Phi 2$ 同期で出力され、c2とd2の受光素子の信号を同時に読み出す。

【0051】以上の動作のタイミングチャートを図4に示す。図4において、クロック信号CLKと、同期信号 $\Phi 1$ 、 $\Phi 2$ が高解像度モードと低解像度モードに共通に供給され、スタート信号SRがハイとなると共に高解像度モードと低解像度モードのそれぞれの画像信号出力が得られる。同図より、同一のクロックレートにおいて、低解像度モードにおいては、高解像度モード時の2倍の読み出し速度で読み出すことが可能であることがわかる。

【0052】次に、次チップスタート信号の切り換え手段について説明する。

【0053】図1において、プレシフトレジスタ2、2'は4ビットの遅延を有するため、4ビット前の信号を次チップのスタート信号として出力しなければならない。プレシフトレジスタ2、2'によって、スタート信号SPから時間調節の必要がなく、前段の光電変換装置の読み出しが終了した後、同一タイミングに従って空疎のない連続的な画像信号を得ることができる。従って、高解像度モードの場合には、光電変換装置1、1'はそれぞれ344ビットの信号を有するため、341ビット目のシフトレジスタ信号9-1、9'-1を次チップスタート信号として用いる。

(7)

11

【0054】また、低解像度モードにおいては、2画素加算信号が1ビットとなるため、光電変換装置1、1'は等価的に177ビットの信号を有することになる。従って、受光素子換算で337ビット目のシフトレジスタ信号9-2、9'-2を次チップスタート信号として用いる。すなわち、次チップスタート信号を切り換えるスタート信号切り換え手段を設けることにより、解像度を切り換えても光電変換装置の継ぎ目の部分において画素信号は連続性を保つことが可能となる。

【0055】尚、上記実施形態においては、光電変換装置のビット数を344ビットとしたが、4の倍数のビット数であれば幾つでも構わない。

【0056】また、解像度も[高解像モード/低解像モード]が[600dpi/300dpi]の場合に限らず、例えば、[400dpi/200dpi]等の解像度でも構わない。

【0057】更に、本実施形態は高解像度モードと低解像度モードの解像度比が2倍の場合を示したが、例えば、6画素を1ブロックとし、光電変換装置の画素数を6の倍数とすることで、[600dpi/200dpi]の切り換えのように、解像度比を3倍に設定することも容易である。

【0058】従って、この場合には、高解像度とこの高解像度の $1/N$ (N は自然数)を低解像度とすれば、各光電変換装置の複数の受光素子数は $2N$ の倍数である。

【0059】また、各光電変換装置の複数の受光素子に着目すれば、受光素子アレイの第1番目の受光素子は奇数用のシフトレジスタ駆動パルスにより読み出され、かつ、最後の受光素子は偶数用のシフトレジスタ駆動パルスにより読み出されることで、タイミング的に不連続性のない連続した画像信号を得ることができる。

【0060】また、シフトレジスタ駆動パルスは、以上の実施例では2つであるが、これに限られるものではなくシフトレジスタの構成を変えることにより、例えば3つのシフトレジスタ駆動パルスでは、低解像度が選択された場合には隣り合う3つの受光素子を加算して読み出すようにすることも可能である。すなわち、 M 個のシフトレジスタ駆動パルスで駆動させる場合、解像度が $1/N$ ずつ変化する複数の解像度を持つものであれば、受光素子の数は MN の倍数であればよい。

【0061】また、イメージスキャナや、ファクシミリ、電子複写機として、複数の解像度のいずれかを選択する選択スイッチを設け、上記密着型イメージセンサを読み出す方向を主走査方向とし、その主走査方向に垂直な方向を副走査方向として、機構的に副走査方向にも画像原稿に対応して走査することにより、2次元状の読み取り信号を得て、この読み取り信号に応じて光学感光体に露光することにより、且つ複数の解像度に応じて被転写紙に転写することができ、機能的な自由度を増加することができる。

12

【0062】(実施形態2)図5は本発明の実施形態2における光電変換装置を用いた密着型イメージセンサの回路ブロック図である。

【0063】本実施形態においては、上記実施形態1に対して、更に解像度制御用の端子(MODE 2)を追加し、高解像度モード(1200dpi)、中解像度モード(600dpi)、低解像度モード(300dpi)の3種類の解像度切り換えが可能な構成を示している。但し、各モードの解像度数は例示であり、目的に応じて任意に設定できるものである。

【0064】図5において、各々の光電変換装置1、1'は、4bitの遅延を有するプレシフトレジスタ2、2'、シフトレジスタ3、3'、688ビットの受光素子アレイ17、17'、タイミング発生回路5、5'、信号出力アンプ6、6'を有している。ここで、シフトレジスタ3、3'は8ビット分のシフトレジスタブロック16から構成されている。また、シフトレジスタから取り出された3種のスタート信号、すなわち、高解像度モード時のスタート信号9-1、9'-1、中解像度モード時のスタート信号9-3、9'-3及び低解像度モード時のスタート信号9-2、9'-2を、スタート信号切り換え手段10、10'を用いて選択することにより、次チップスタート信号9、9'が得られる構成となっている。

【0065】図6に、スタート信号切り換え回路10の具体的な回路図を示す。MODE 1、2のそれぞれから1ビット信号を入力し、高解像度モード時のスタート信号9-1、9'-1と、中解像度モード時のスタート信号9-3、9'-3及び低解像度モード時のスタート信号9-2、9'-2を選択して、次段のイメージチップのスタート信号9、9'として出力する。MODE 1、2が[0、0]の場合はブランクモードであり、出力しない。なお、このような選択用切り換え回路は、論理回路によって他の回路でも容易に達成できるので、説明を省略する。

【0066】本実施形態においては、高解像度モード時は1画素で1ビット、中解像度モード時は2画素加算により2画素で1ビット、低解像度モード時は4画素加算により4画素で1ビットとなる。従って、シフトレジスタブロック16は8画素分が1ブロックとなり、実施形態1と同様に構成することができる。

【0067】本実施形態に示すように、本発明においては、解像度モードを3種類、もしくはそれ以上に設定することも可能であり、かつ、各々の解像度に応じた読み取り速度が実現でき、光電変換装置の継ぎ目においても信号の不連続を生じさせないようにすることが可能となる。

【0068】また、本発明は1次元光電変換装置のみならず、2次元光電変換装置に応用しても有効であることは言うまでもない。本発明を2次元光電変換装置に応用

(8)

13

する場合は画素レベルの解像度切り換えの他に、水平方向のみの解像度切り換え、垂直方向のみの解像度切り換え等も実現可能である。

【0069】

【発明の効果】以上説明したように、本発明により、解像度切り換え時においても光電変換装置の継ぎ目において信号が不連続にならず、かつ、解像度に応じた読み取り速度が得られるため、その効果は絶大である。

【0070】また、当該密着型イメージセンサを用いたイメージスキャナや、ファクシミリ、電子複写機等に用いることにより、高画質、通常画質等という被転写紙に要求される画質に応じて出力することができ、機能上の自由度を増加できる。

【図面の簡単な説明】

【図1】本発明の実施形態1における密着型イメージセンサの回路ブロック図である。

【図2】本発明の実施形態による8ビット分のシフトレジスタと受光素子の回路ブロック図である。

【図3】本発明の実施形態による受光素子の等価回路図（4画素分）である。

【図4】本発明の実施形態による動作を示すタイミングチャートである。

【図5】本発明の実施形態2における光電変換装置を用いた密着型イメージセンサの回路ブロック図である。

【図6】本発明の実施形態2におけるスタート信号切り換え回路の回路図である。

【図7】従来技術（1）における密着型イメージセンサ用集積回路の回路図である。

14

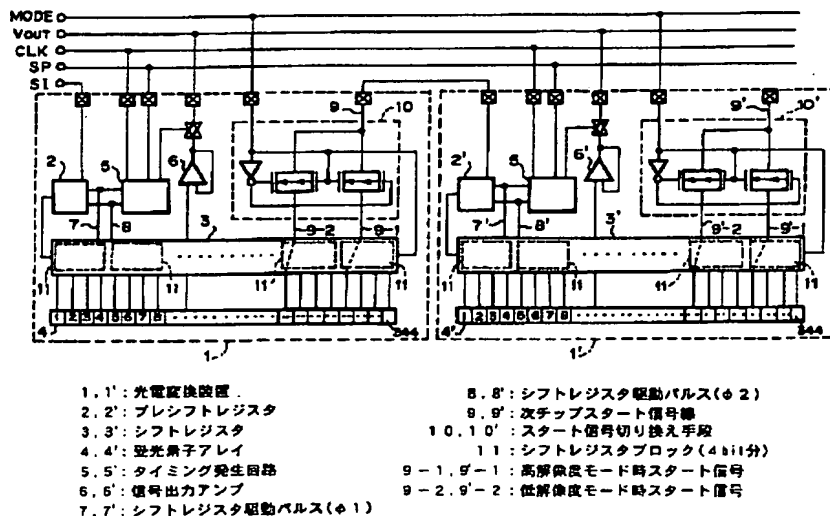
【図8】従来技術（2）におけるイメージセンサチップの等価回路図である。

【図9】従来技術（2）におけるタイミングチャートである。

【符号の説明】

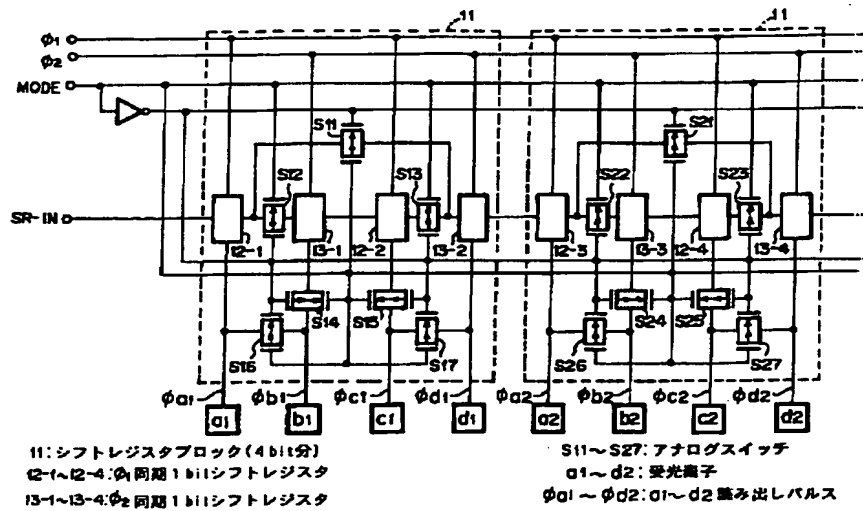
- 1、1' 光電交換装置
- 2、2' プレシフトレジスタ
- 3、3' シフトレジスタ
- 4、4' 受光素子アレイ
- 5、5' タイミング発生回路
- 7、7' シフトレジスタ駆動パルス（Φ1）
- 8、8' シフトレジスタ駆動パルス（Φ2）
- 9、9' 次チップスタート信号線
- 9-1、9-1' 高解像モード時スタート信号線
- 9-2、9-2' 低解像モード時スタート信号線
- 10、10' スタート信号切り替え手段
- 11 シフトレジスタブロック（4ビット分）
- 12-1～12-4' Φ1同期1ビットシフトレジスタ
- 13-1～13-4' Φ2同期1ビットシフトレジスタ
- 14 共通信号線
- a1～d2 受光素子
- Φa1～Φd2 a1～d2読み出しパルス
- M1a～M1d 読み出しスイッチ
- M4a～M4d リセットスイッチ
- PDa～PDd ホトダイオード

【図1】

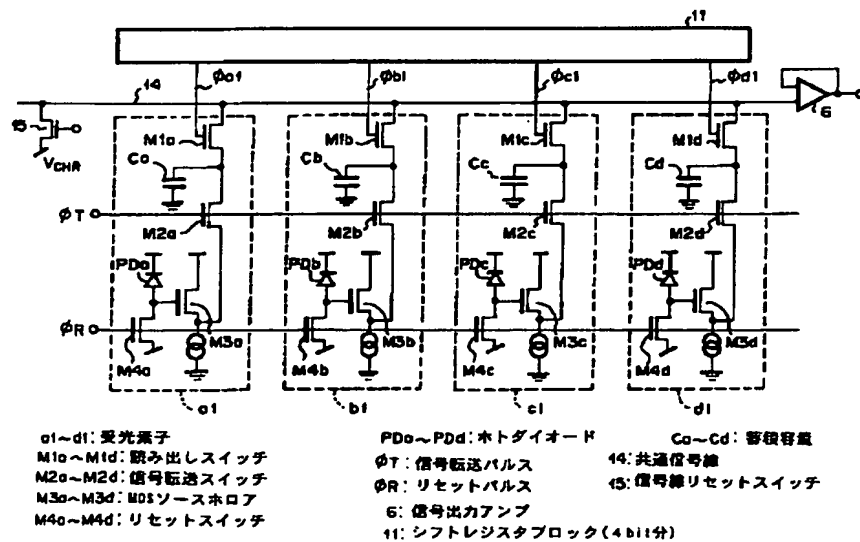


(9)

【図2】

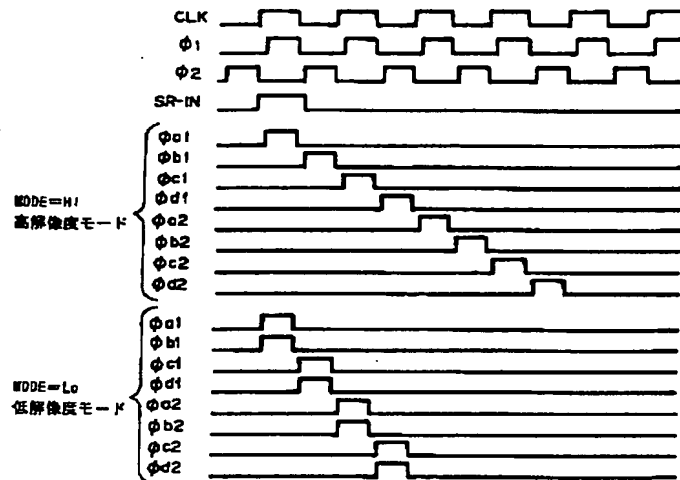


【図3】

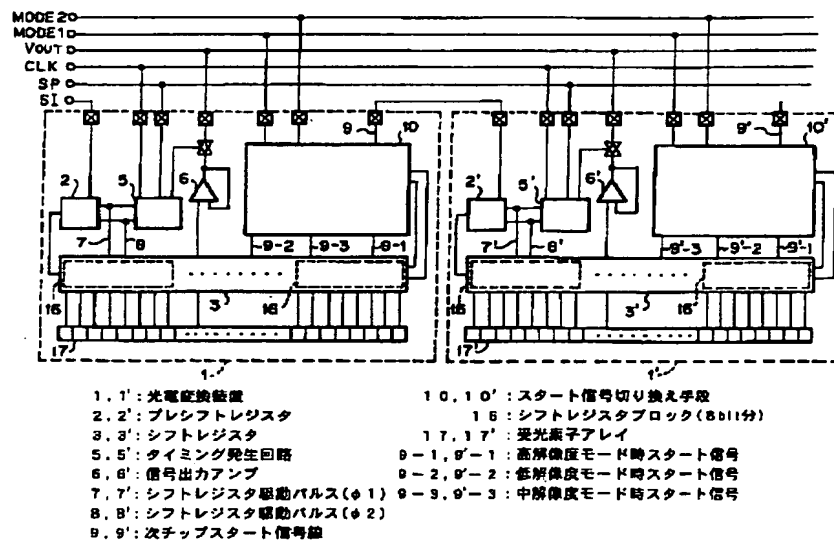


(10)

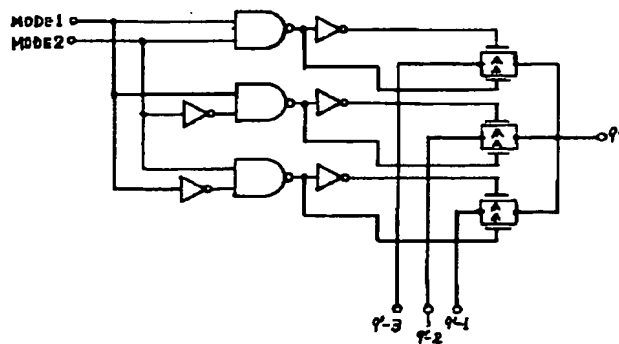
【図4】



【図5】

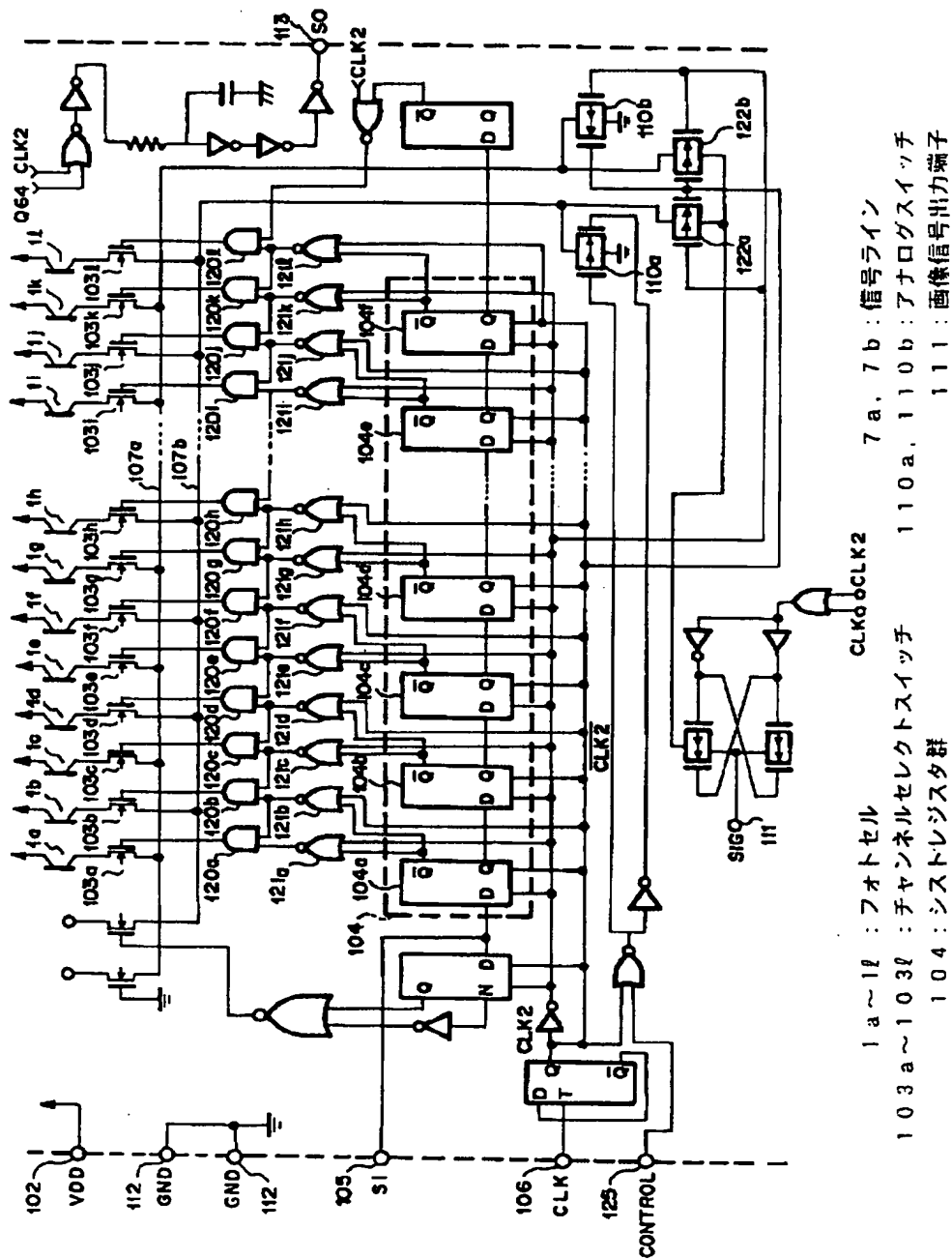


【図6】



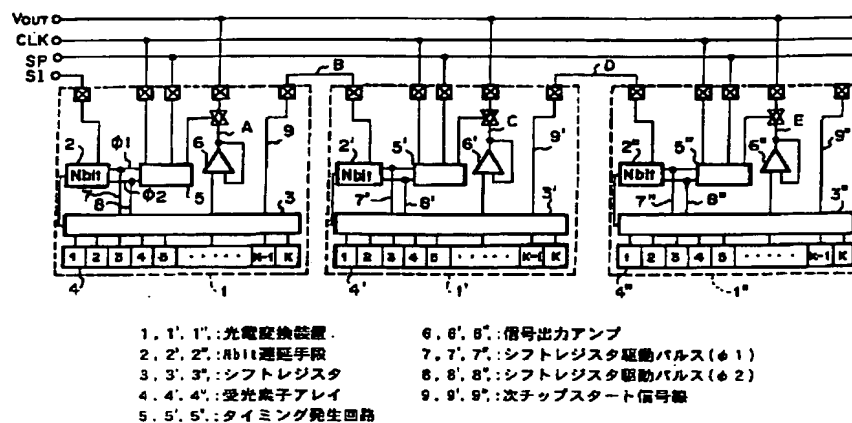
(11)

【図7】

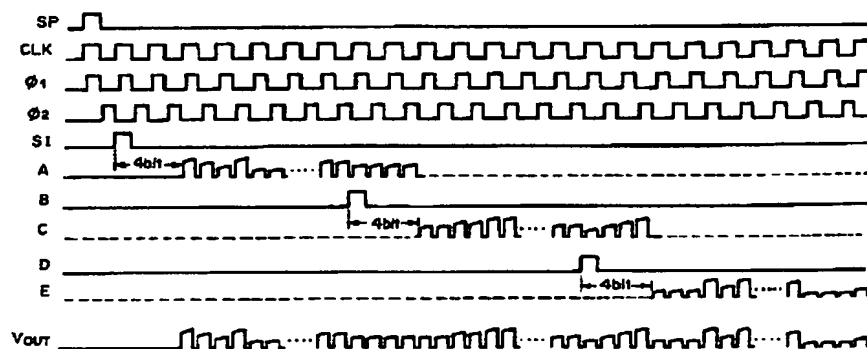


(12)

【図8】



【図9】



【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第3区分
【発行日】平成14年4月5日(2002.4.5)

【公開番号】特開平11-234473
【公開日】平成11年8月27日(1999.8.27)
【年通号数】公開特許公報11-2345
【出願番号】特願平10-37594
【国際特許分類第7版】

H04N 1/028
1/19

【F I】

H04N 1/028 2
1/04 102

【手続補正書】

【提出日】平成13年11月30日(2001.11.30)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の $1/N$ (N は自然数)である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置において、前記複数の受光素子数が $2N$ の倍数であることを特徴とする光電変換装置。

【請求項2】 複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の $1/N$ (N は自然数)である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置を複数実装されて構成されるイメージセンサにおいて、前記光電変換装置の受光素子数が $2N$ の倍数であることを特徴とするイメージセンサ。

【請求項3】 複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段

と、前記第1の解像度と該第1の解像度の $1/N$ (N は自然数)である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置において、前記受光素子アレイの第1番目の受光素子は前記第1シフトレジスタ駆動パルスにより読み出され、かつ、最後の受光素子は該第2シフトレジスタ駆動パルスにより読み出されることを特徴とする光電変換装置。

【請求項4】 複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の $1/N$ (N は自然数)である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置を複数実装されて構成されるイメージセンサにおいて、前記受光素子アレイの第1番目の受光素子は前記第1シフトレジスタ駆動パルスにより読み出され、かつ、最後の受光素子は前記第2シフトレジスタ駆動パルスにより読み出されることを特徴とするイメージセンサ。

【請求項5】 複数の受光素子を含む光電変換装置を複数接続したイメージセンサにおいて、解像度を選択する解像度選択手段と、それぞれの光電変換装置内に、前記解像度選択手段によって選択された解像度により前記受光素子からの信号の読み出し方法を変化させる制御手段と、前記受光素子から複数のパルスによって信号を読み出す信号読出手段と、を有し、前記信号読出手段は複数のパルスを周期的に駆動させ、
10 それぞれの光電変換装置内で前記信号読出手段から最初に読み出される信号が前記複数パルスのうち同一パルスで読み出されるように受光素子の配列数を設定したことを特徴とするイメージセンサ。

【請求項6】 複数の受光素子を含む光電変換装置を複数接続したイメージセンサにおいて、

(2)

3

解像度が $1/N$ (N は正の整数) ずつ変化する複数の解像度のうちのいずれかを選択する解像度選択手段と、それぞれの光電変換装置内に、前記解像度選択手段によって選択された解像度により前記受光素子からの信号の読み出し方法を変化させる制御手段と、前記受光素子から M (M は正の整数) 個のシフトレジスタ駆動パルスによって信号を読み出す信号読出手段と、を有し、前記複数の受光素子が MN の倍数であることを特徴とするイメージセンサ。

【請求項7】 複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと、該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の $1/N$ (N は自然数) である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置を複数実装されて構成されるイメージセンサを用いた画像読取装置において、前記光電変換装置の受光素子数が $2N$ の倍数であり、前記第1の解像度と前記第2の解像度とを切り換えるスイッチを備えたことを特徴とする画像読取装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明は、1次元の光電変換素子とこれを駆動する駆動回路とを備えた光電変換装置を複数実装したイメージセンサ及びその駆動方法に関するものであり、更に詳しくは、解像度切り換え機能を有するイメージセンサ、及びイメージセンサの駆動方法に用いる光電変換装置、並びにイメージスキャナやファクシミリ、電子複写機等の2次元の画像を読み出す画像読取装置等に関するものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】【発明の目的】本発明の目的は、解像度切り換え時に、解像度に応じた読み取り速度が実現可能で、かつ高速なイメージセンサ、及びイメージセンサに

4

好適な光電変換装置を提供することにある。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】また、本発明は、複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の $1/N$ (N は自然数) である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置を複数実装されて構成されるイメージセンサにおいて、前記光電変換装置の受光素子数が $2N$ の倍数であることを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】さらにまた、本発明は、複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の $1/N$ (N は自然数) である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置を複数実装されて構成されるイメージセンサを用いたイメージスキャナや、ファクシミリ、電子複写機等の画像読取装置において、前記光電変換装置の受光素子数が $2N$ の倍数であり、前記第1の解像度と前記第2の解像度とを切り換えるスイッチを備えたことを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正内容】

【0070】また、当該イメージセンサを用いた電子複写機等に用いることにより、高画質、通常画質等という被転写紙に要求される画質に応じて出力することができ、機能上の自由度を増加できる。